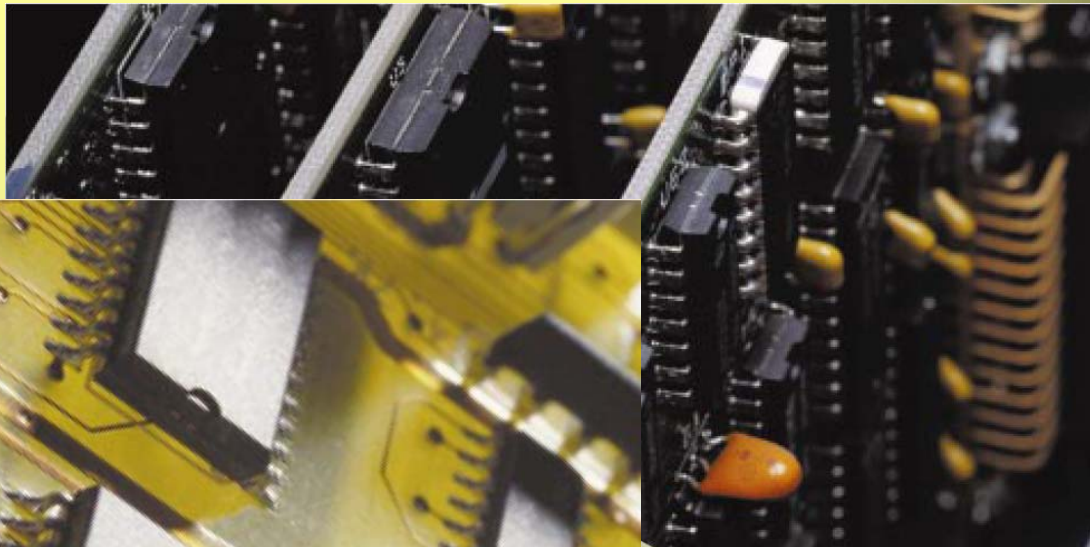
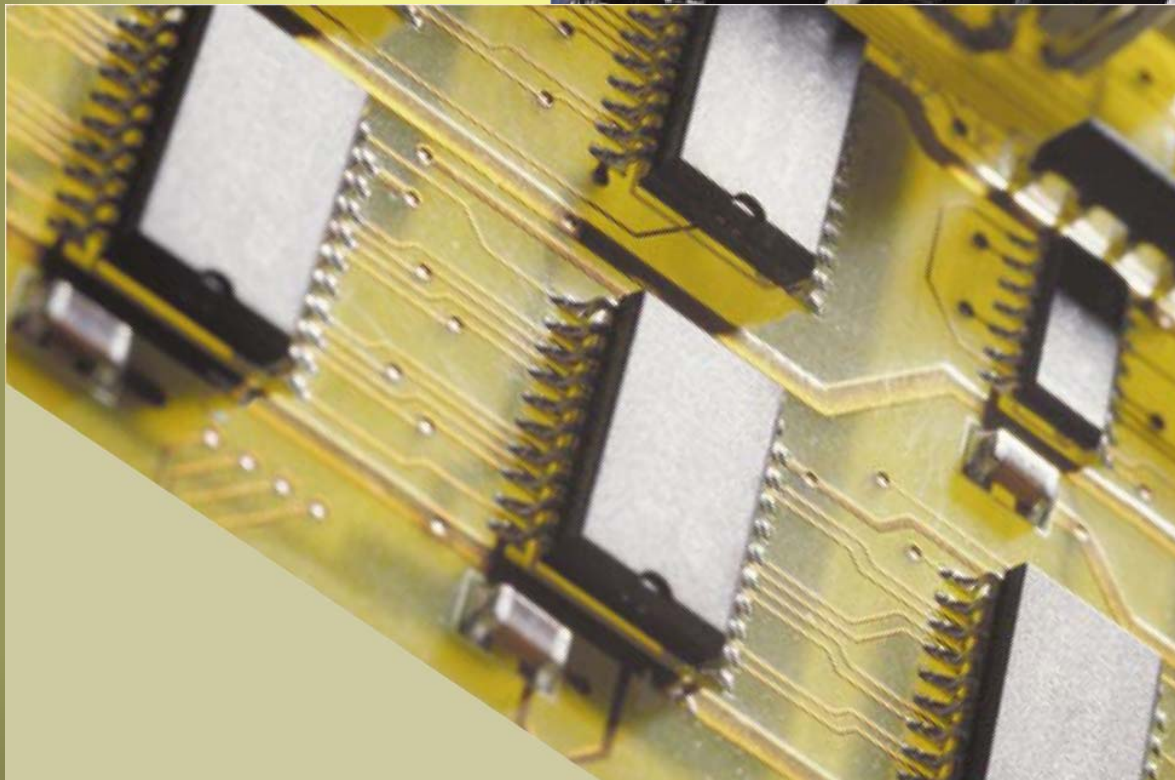
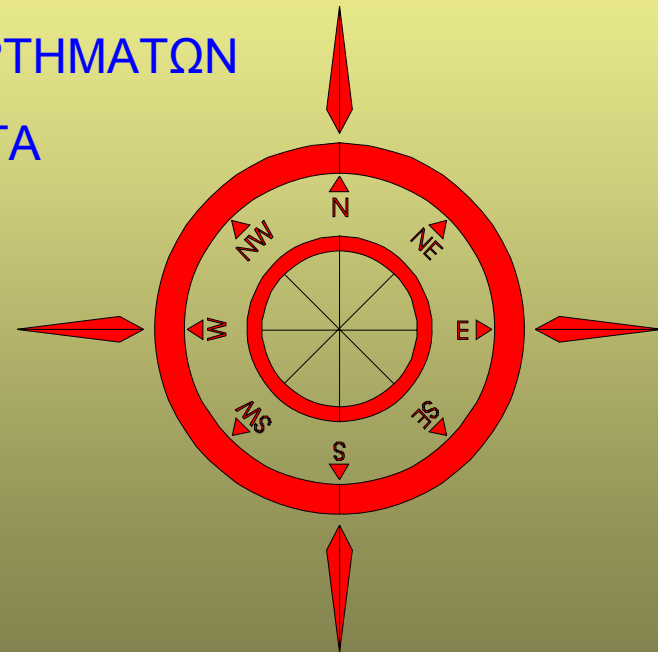
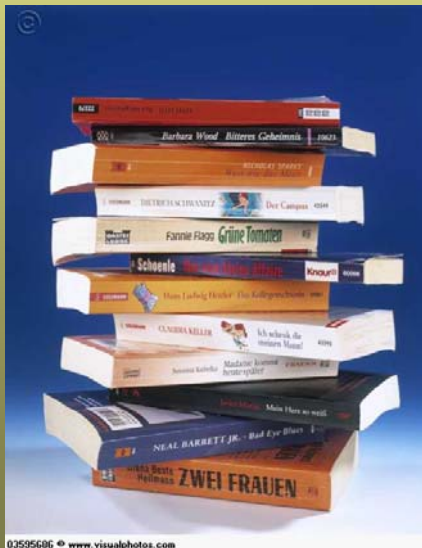


ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ



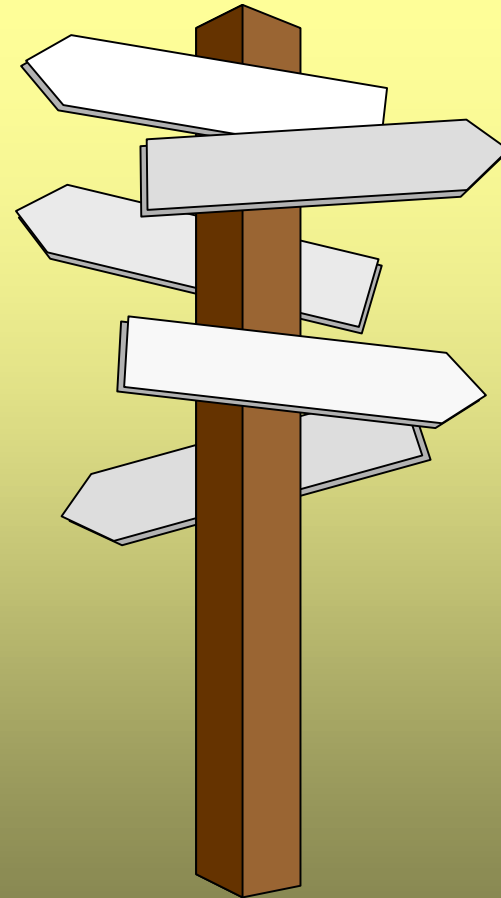
ΣΚΟΠΟΣ ΤΗΣ ΕΝΟΤΗΤΑΣ

- ΕΙΣΑΓΩΓΗ ΣΤΗΝ ΨΗΦΙΑΚΗ ΤΕΧΝΟΛΟΓΙΑ
- ΥΛΙΚΑ – ΕΞΑΡΤΗΜΑΤΑ ΨΗΦΙΑΚΩΝ
- ΛΟΓΙΚΕΣ ΠΥΛΕΣ NOT, AND, OR, NAND, NOR, XOR, XNOR
- ΠΙΝΑΚΕΣ ΑΛΗΘΕΙΑΣ
- FLIP - FLOP RS, D, JK, T.
- ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΒΑΣΙΚΩΝ ΕΞΑΡΤΗΜΑΤΩΝ
- ΣΥΝΔΙΑΣΤΙΚΑ ΛΟΓΙΚΑ ΚΥΚΛΩΜΑΤΑ

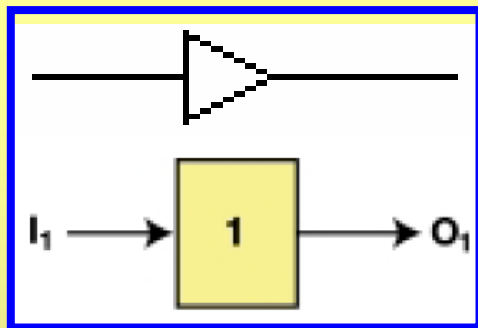


ΛΟΓΙΚΕΣ ΠΥΛΕΣ

- ΑΠΟΜΟΝΩΤΗΣ Buffer
- ΠΥΛΗ NOT
- ΠΥΛΗ AND
- ΠΥΛΗ OR
- ΠΥΛΗ NAND
- ΠΥΛΗ NOR
- ΠΥΛΗ XOR
- ΠΥΛΗ XNOR
- FLIP – FLOP RS, D, JK, T.



ΑΠΟΜΟΝΩΤΗΣ Buffer

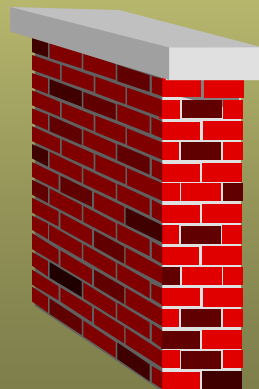


ΤΥΠΟΠΟΙΗΜΕΝΟ ΛΟΓΙΚΟ
ΣΥΜΒΟΛΟ - ΚΥΚΛΩΜΑ

I_1	Q_1
0	0
1	1

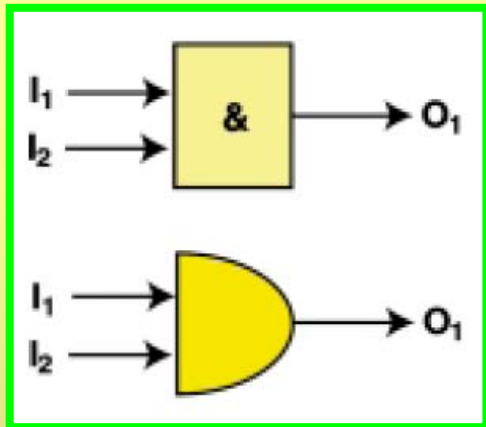
ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $Q_1 = I_1$



Αντιστοιχία Ισοδύναμου Ηλεκτρικού Κυκλώματος : Δίοδος – Αγώγιμη σύνδεση

ΛΟΓΙΚΗ ΠΥΛΗ AND



ΤΥΠΟΠΟΙΗΜΕΝΟ ΛΟΓΙΚΟ
ΣΥΜΒΟΛΟ - ΚΥΚΛΩΜΑ

I1	I2	Q1
0	0	0
0	1	0
1	0	0
1	1	1

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

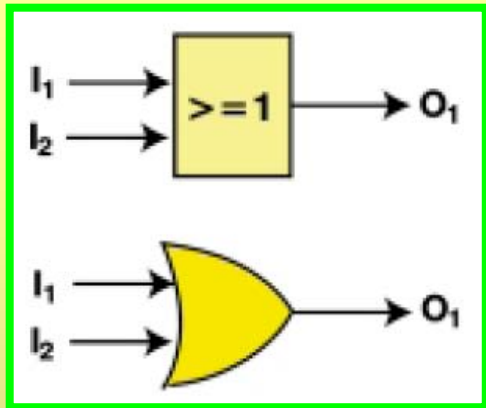
ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $Q1 = I1 \cdot I2$

ΠΛΗΘΟΣ ΣΥΝΔΙΑΣΜΩΝ = 2^n

Όπου n : Πλήθος Εισόδων

Αντιστοιχία Ισοδύναμου Ηλεκτρικού Κυκλώματος : Σύνδεση Εν' Σειρά Διακοπών ΝΟ

ΛΟΓΙΚΗ ΠΥΛΗ OR



ΤΥΠΟΠΟΙΗΜΕΝΟ ΛΟΓΙΚΟ
ΣΥΜΒΟΛΟ - ΚΥΚΛΩΜΑ

I1	I2	Q1
0	0	0
0	1	1
1	0	1
1	1	1

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $Q1 = I1 + I2$

Αντιστοιχία Ισοδύναμου Ηλεκτρικού Κυκλώματος : Παράλληλη Σύνδεση Διακοπών ΝΟ

ΑΠΛΟΠΟΙΗΣΗ ΛΟΓΙΚΗΣ ΣΥΝΑΡΤΗΣΗΣ ΜΕ ΧΑΡΤΗ KARNAUGH

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΛΟΓΙΚΗΣ ΠΥΛΗΣ OR

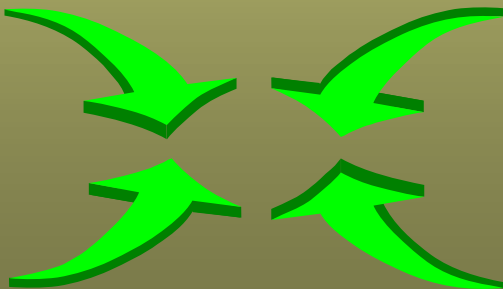
I1	I2	Q1
0	0	0
0	1	1
1	0	1
1	1	1



I2 \ I1	0	1
0	0	1
1	1	1

Η ΑΡΧΙΚΗ ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ :

$$Q1 = \bar{I1} \cdot I2 + I1 \cdot \bar{I2} + I1 \cdot I2$$

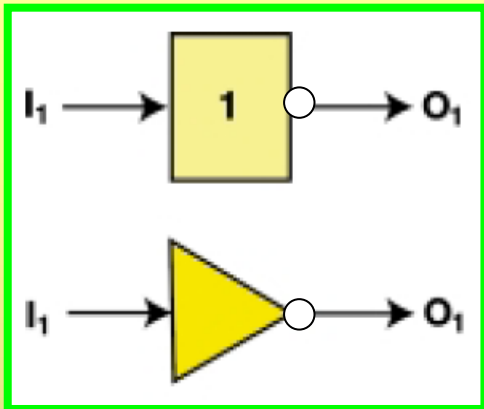


Η ΤΕΛΙΚΗ - ΑΠΛΟΠΟΙΗΜΕΝΗ

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ

ΤΗΣ ΠΥΛΗΣ OR : $Q1 = I1 + I2$

ΛΟΓΙΚΗ ΠΥΛΗ NOT



I_1	Q_1
0	1
1	0

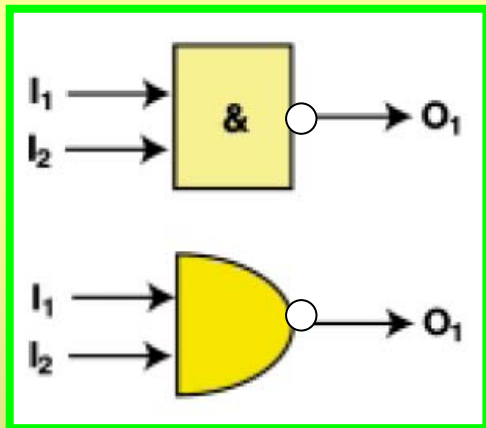
ΤΥΠΟΠΟΙΗΜΕΝΟ ΛΟΓΙΚΟ
ΣΥΜΒΟΛΟ - ΚΥΚΛΩΜΑ

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $Q_1 = \overline{I_1}$

Αντιστοιχία Ισοδύναμου Ηλεκτρικού Κυκλώματος : NC Διακόπτης

ΛΟΓΙΚΗ ΠΥΛΗ NAND



ΤΥΠΟΠΟΙΗΜΕΝΟ ΛΟΓΙΚΟ
ΣΥΜΒΟΛΟ - ΚΥΚΛΩΜΑ

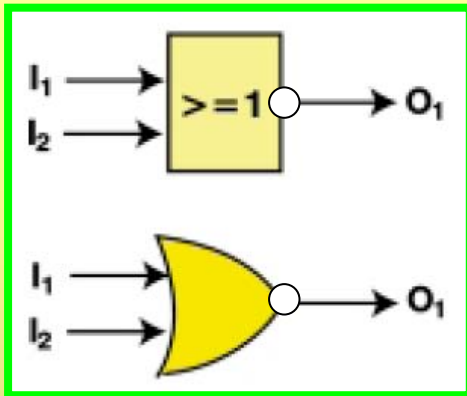
I1	I2	Q1
0	0	1
0	1	1
1	0	1
1	1	0

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $Q1 = I1 \cdot I2$

Αντιστοιχία Ισοδύναμου Ηλεκτρικού Κυκλώματος : Παράλληλη Σύνδεση Διακοπών NC

ΛΟΓΙΚΗ ΠΥΛΗ NOR



ΤΥΠΟΠΟΙΗΜΕΝΟ ΛΟΓΙΚΟ
ΣΥΜΒΟΛΟ - ΚΥΚΛΩΜΑ

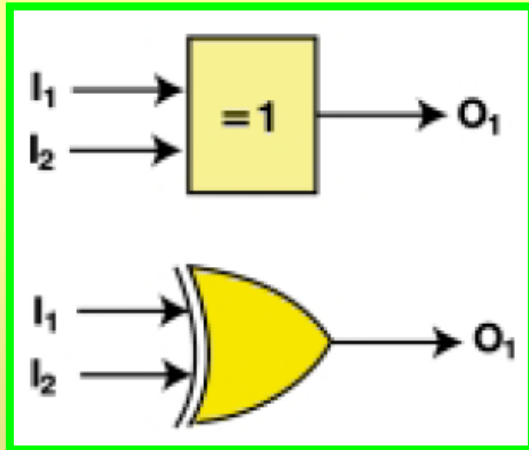
I1	I2	Q1
0	0	1
0	1	0
1	0	0
1	1	0

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $Q1 = \overline{I1 + I2}$

Αντιστοιχία Ισοδύναμου Ηλεκτρικού Κυκλώματος : Σύνδεση Εν' Σειρά Διακοπών NC

ΛΟΓΙΚΗ ΠΥΛΗ ΧΟΡ



ΤΥΠΟΠΟΙΗΜΕΝΟ ΛΟΓΙΚΟ
ΣΥΜΒΟΛΟ - ΚΥΚΛΩΜΑ

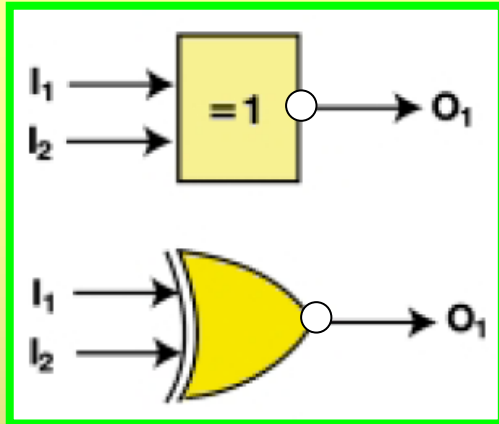
I_1	I_2	Q_1
0	0	0
0	1	1
1	0	1
1	1	0

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $Q_1 = I_1 \oplus I_2$

Αντιστοιχία Ισοδύναμου Ηλεκτρικού Κυκλώματος : 2 Διακόπτες Αλερετούρ (Ηρεμία $Q_1=0$)

ΛΟΓΙΚΗ ΠΥΛΗ ΧΝΟR



ΤΥΠΟΠΟΙΗΜΕΝΟ ΛΟΓΙΚΟ
ΣΥΜΒΟΛΟ - ΚΥΚΛΩΜΑ

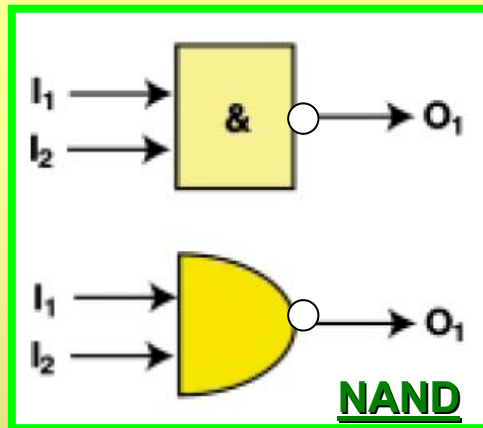
I_1	I_2	Q_1
0	0	1
0	1	0
1	0	0
1	1	1

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

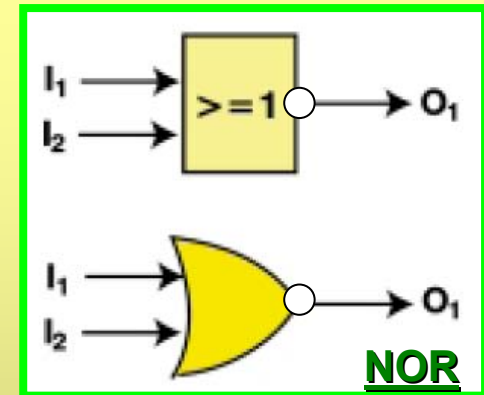
ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $Q_1 = I_1 \oplus I_2 = I_1 \odot I_2$

Αντιστοιχία Ισοδύναμου Ηλεκτρικού Κυκλώματος : 2 Διακόπτες Αλερετούρ (Ηρεμία $Q_1=1$)

ΟΙΚΟΥΜΕΝΙΚΕΣ ΠΥΛΕΣ (universal gates).



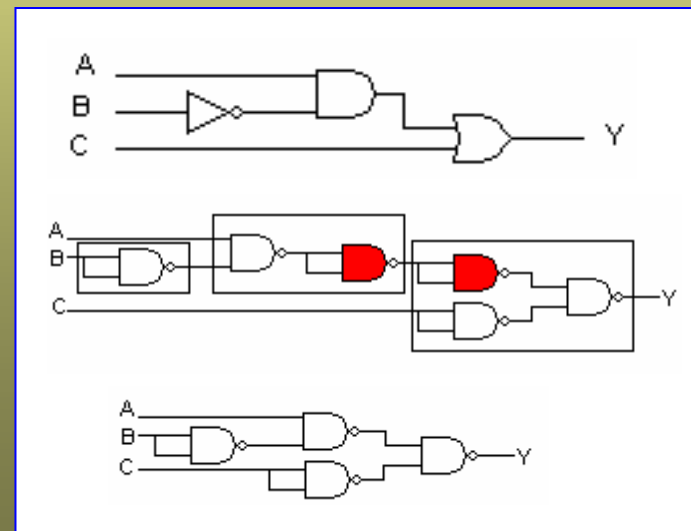
ΒΑΣΙΚΗ ΠΥΛΗ



ΠΙΝΑΚΑΣ ΜΕΤΑΤΡΟΠΗΣ ΛΟΓΙΚΩΝ ΠΥΛΩΝ

NOT		
AND		
OR		

ΕΦΑΡΜΟΓΗ :



Η ΔΙΤΙΜΗ ΑΛΓΕΒΡΑ BOOLE

Η Άλγεβρα Boole (Boolean algebra)

πήρε το όνομά της από τον G. Boole (1815-1864),

ο οποίος ανέπτυξε ένα αλγεβρικό σύστημα (1854)

για τη συστηματική αντιμετώπιση της λογικής.

Τα αξιώματα της Άλγεβρας Boole διατυπώθηκαν

από τον E. V. Huntington (1904).



Αξιώματα Άλγεβρας Boole

<u>Αξίωμα 1.</u> Ουδέτερα στοιχεία	α. $x + 0 = 0 + x = x$
	β. $x \cdot 1 = 1 \cdot x = x$
<u>Αξίωμα 2.</u> Αντιμεταθετική ιδιότητα	α. $x + y = y + x$
	β. $x \cdot y = y \cdot x$
<u>Αξίωμα 3.</u> Επιμεριστική ιδιότητα	α. $x + (y \cdot z) = (x + y) \cdot (x + z)$
	β. $x \cdot (y + z) = (x \cdot y) + (x \cdot z)$
<u>Αξίωμα 4.</u> Συμπλήρωμα (NOT)	α. $x + \bar{x} = 1$
	β. $x \cdot \bar{x} = 0$



Θεωρήματα Άλγεβρας Boole

<u>Θεώρημα 1.</u>	α. $x + x = x$
	β. $x \cdot x = x$
<u>Θεώρημα 2.</u>	α. $x + 1 = 1$
	β. $x \cdot 0 = 0$
<u>Θεώρημα 3.</u>	$x = \overline{\overline{x}}$
<u>Θεώρημα 4.</u>	β. $x + y + z = x + (y + z) = (x + y) + z$
Προσεταιριστική ιδιότητα	α. $x \cdot y \cdot z = x \cdot (y \cdot z) = (x \cdot y) \cdot z$
<u>Θεώρημα 5.</u>	α. $x + x \cdot y = x$
Θεώρημα απορρόφησης	β. $x \cdot (x + y) = x$
<u>Θεώρημα 6.</u>	α. $\overline{x \cdot y} = \overline{x} + \overline{y}$
Θεώρημα De Morgan	β. $\overline{x + y} = \overline{x} \cdot \overline{y}$

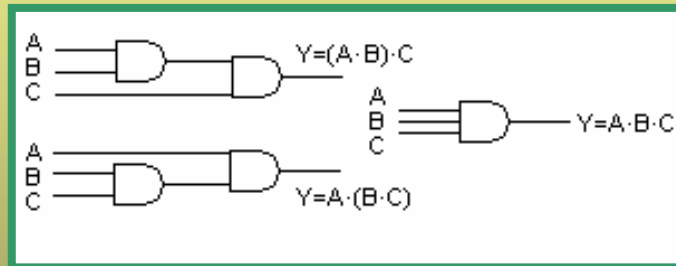


ΛΟΓΙΚΕΣ ΠΑΡΑΣΤΑΣΕΙΣ



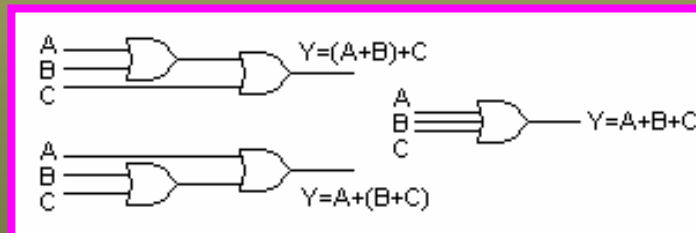
- Ο νόμος της αντιμετάθεσης για το AND $A \cdot B = B \cdot A$
- Ο νόμος της αντιμετάθεσης για το OR $A + B = B + A$
- Ο επιμεριστικός νόμος $A \cdot (B + C) = A \cdot B + A \cdot C$
- Ο προσεταιριστικός νόμος για το AND

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C = A \cdot B \cdot C$$



- Ο προσεταιριστικός νόμος για το OR

$$A + (B + C) = (A + B) + C = A + B + C$$



ΟΙ ΔΥΟ ΜΟΡΦΕΣ ΤΟΥ ΚΑΝΟΝΑ de Morgan



$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

ΑΠΟΔΕΙΞΗ :

A	B	$\overline{A}$	$\overline{B}$	$A \cdot B$	$\overline{A \cdot B}$	$\overline{A} + \overline{B}$	$A + B$	$\overline{A + B}$	$\overline{A} \cdot \overline{B}$
0	0	1	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	0
1	0	0	1	0	1	1	1	0	0
1	1	0	0	1	0	0	1	0	0



Ο ΚΑΝΟΝΑ de Morgan

Ισχύει και για περισσότερες από δύο μεταβλητές

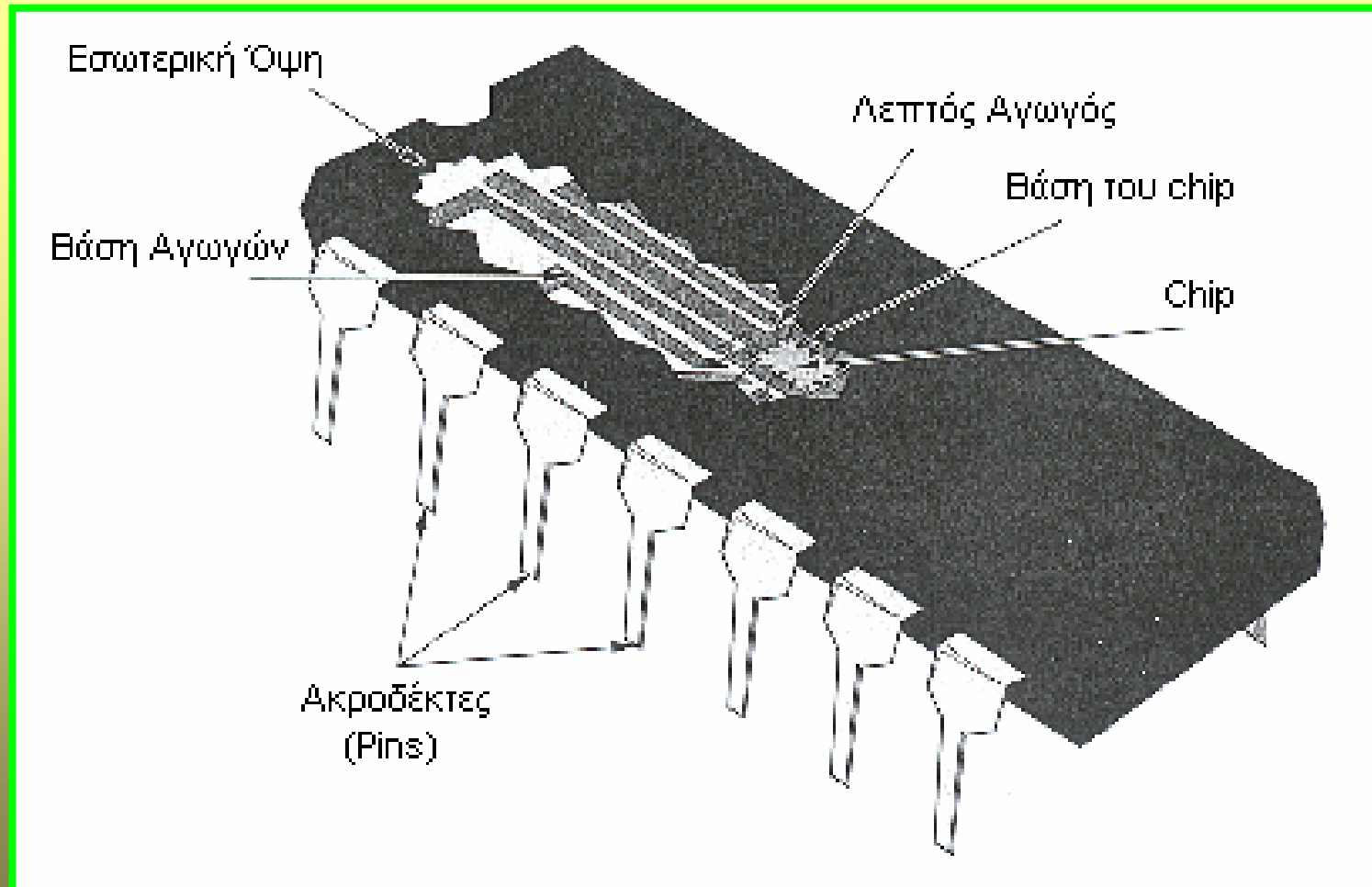
$$\overline{x \cdot y \cdot z} = \bar{x} + \bar{y} + \bar{z}$$

$$\overline{x + y + z} = \bar{x} \cdot \bar{y} \cdot \bar{z}$$



Εσωτερική Όψη Ολοκληρωμένου Κυκλώματος IC

(Integrated Circuits)



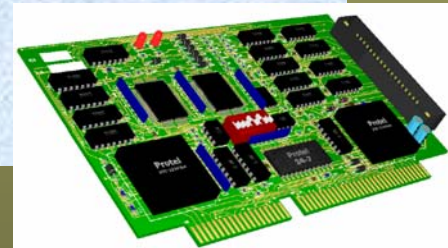
Ολοκληρωμένο κύκλωμα σε συσκευασία ακροδεκτών διπλής σειράς (Dual In-line Package - DIP).

Ολοκληρωμένα Κυκλώματα IC

Το ολοκληρωμένο κύκλωμα : DM74LS00
είναι της εταιρείας **National Semiconductors (DM)**,
της σειράς **74**,
της οικογένειας **BIPOLAR Low Power Schottky (LS)**,
και περιέχει τέσσερις πύλες **NAND δύο εισόδων (00)**.

Τα ολοκληρωμένα κυκλώματα ανήκουν σε μία Κλίμακα Ολοκλήρωσης (Scale Integration) ανάλογα με το πλήθος των ισοδύναμων με πύλες κυκλωμάτων που περιέχουν:

- SSI (Small Scale Integration)
- MSI (Medium Scale Integration)
- LSI (Large Scale Integration)
- VLSI (Very Large Scale Integration)
- ULSI (Ultra Large Scale Integration)



Ολοκληρωμένα Κυκλώματα IC και άλλα χαρακτηριστικά

Οι λογικές πύλες ανήκουν σε μία οικογένεια (family) ολοκληρωμένων κυκλωμάτων, οι πιο γνωστές από τις οποίες είναι:

- BIPOLAR
- CMOS (Complementary Metal-Oxide Semiconductor)
- BICMOS (Bipolar CMOS)
- ECL (Emitter Coupled Logic)

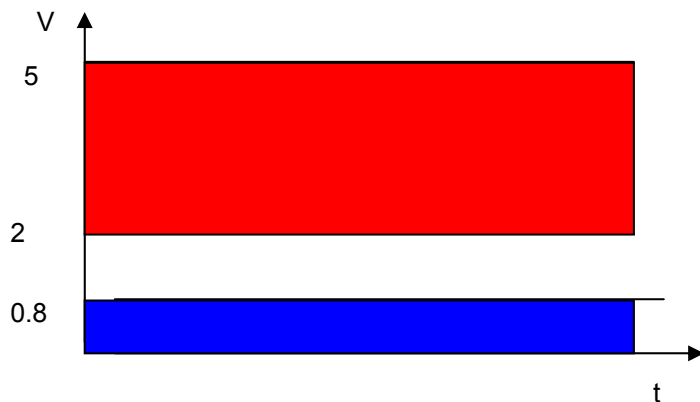
Τα χαρακτηριστικά των λογικών πυλών των ολοκληρωμένων κυκλωμάτων είναι τα ακόλουθα:

- **Ικανότητα οδήγησης εξόδου (Fun Out)** είναι το πλήθος των εισόδων του ολοκληρωμένου κυκλώματος που μπορούν να οδηγηθούν από μία έξοδό του χωρίς να κινδυνεύσει η ομαλή λειτουργία.
- **Απώλεια ισχύος (Power Dissipation)** είναι η ισχύς η οποία καταναλώνεται από τις πύλες κατά την λειτουργία τους με αποτέλεσμα την παραγωγή θερμότητας που διαχέεται στο περιβάλλον.
- **Καθυστέρηση διάδοσης (Propagation Delay)** είναι ο χρόνος για να διαδοθεί η αλλαγή ενός σήματος από την είσοδο στην έξοδο.
- **Περιθώριο θορύβου (Noise Margin)** είναι η ελάχιστη τάση εξωτερικού θορύβου που προκαλεί ανεπιθύμητη αλλαγή στην έξοδο.

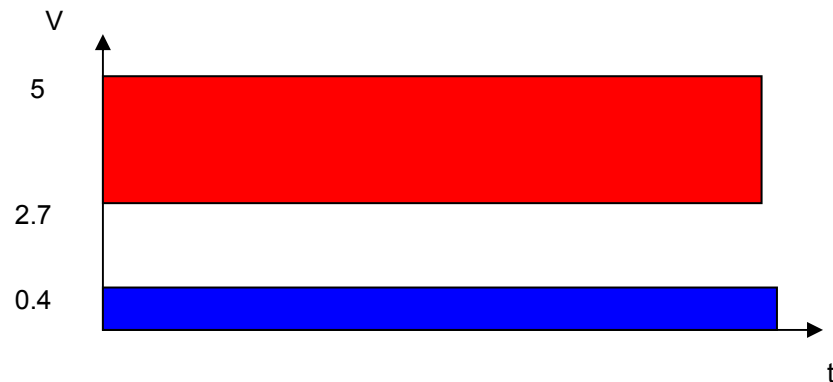


Ολοκληρωμένα Κυκλώματα IC

Λογικές τιμές και περιοχές τάσης



Αποδεκτές τιμές για τις τάσεις εισόδου



Αποδεκτές τιμές για τις τάσεις εξόδου



Ολοκληρωμένα Κυκλώματα IC

LS/S/TTL DATA BOOK σελίδα 1

Στην πρώτη σελίδα δίνονται πληροφορίες για το περιεχόμενο του ολοκληρωμένου :

- Quad 2 Input Gates (τέσσερις πύλες AND 2 εισόδων),
- Το διάγραμμα συνδέσεων (Connection diagram),
- Η λογική συνάρτηση $Y=A \cdot B$ και
- Ο πίνακας αληθείας (Function Table).

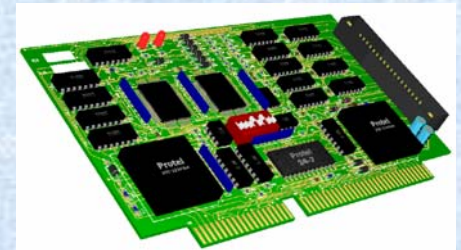


Ολοκληρωμένα Κυκλώματα IC

LS/S/TTL DATA BOOK σελίδα 2

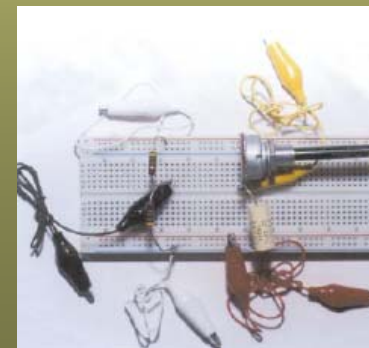
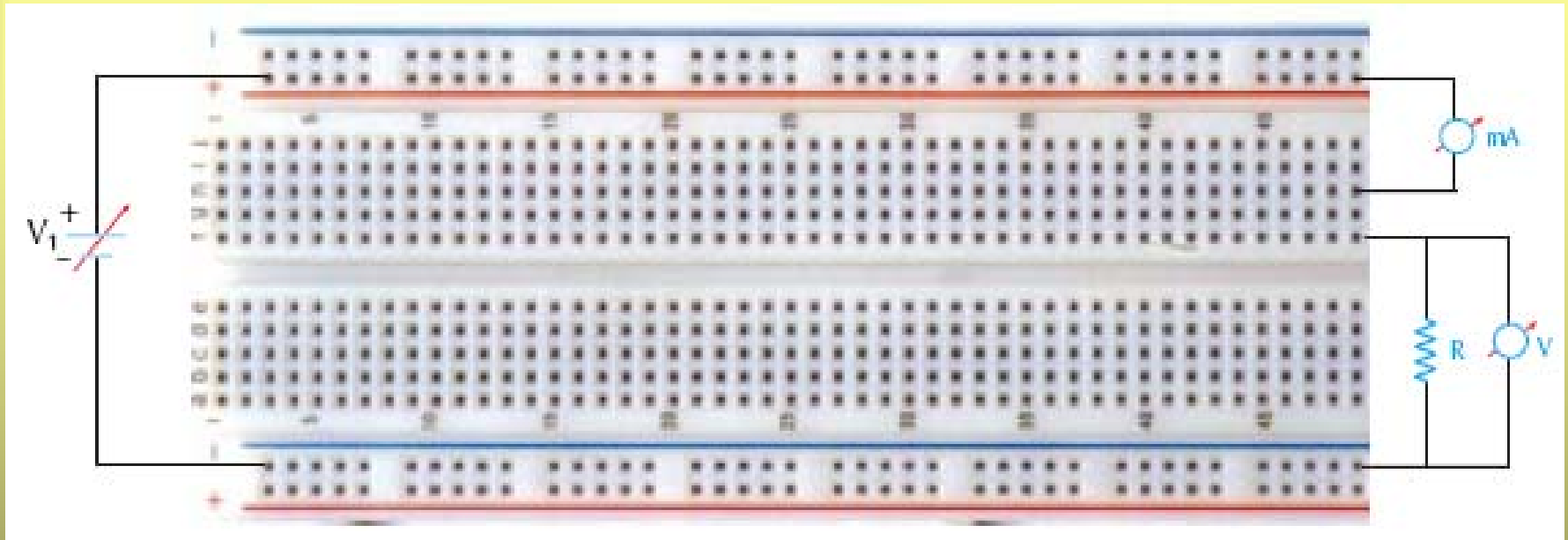
Στη δεύτερη σελίδα φαίνονται :

- Οι μέγιστες απόλυτες τιμές (**absolute maximum ratings**), αφορούν την τάση τροφοδοσίας, την τάση εισόδου, την περιοχή θερμοκρασίας αποθήκευσης και την περιοχή θερμοκρασίας λειτουργίας. Τιμές μεγαλύτερες από αυτές μπορούν να καταστρέψουν το ολοκληρωμένο.
- Οι συνιστώμενες συνθήκες λειτουργίας (**recommended operation conditions**), αφορούν στις τιμές των παραμέτρων που προτείνει ο κατασκευαστής, δηλαδή την τάση τροφοδοσίας (V_{CC}), την τάση στην είσοδο για χαμηλή στάθμη (V_{IL}), την τάση στην είσοδο για υψηλή στάθμη (V_{IH}), το ρεύμα εξόδου για χαμηλή στάθμη (I_{OL}), το ρεύμα εξόδου για υψηλή στάθμη (I_{OH}) και την περιοχή θερμοκρασίας του περιβάλλοντος λειτουργίας (T_A)
- Τα ηλεκτρικά χαρακτηριστικά (**electrical characteristics**), είναι οι τιμές που προκύπτουν για τις παρακάτω παραμέτρους για συγκεκριμένες καταστάσεις λειτουργίας του ολοκληρωμένου:
 - Τάση "στραγγαλισμού" εισόδου (V_I)
 - Τάση εξόδου για υψηλή στάθμη (V_{OH})
 - Τάση εξόδου για χαμηλή στάθμη (V_{OL})
- Ρεύμα εισόδου (I_I)
- Ρεύμα εισόδου για υψηλή στάθμη (I_{IH})
- Ρεύμα εισόδου για χαμηλή στάθμη (I_{IL})
- Ρεύμα εξόδου βραχυκύκλωσης (I_{OS})
- Ρεύμα του ο.κ. με τις εξόδους σε υψηλή στάθμη (I_{CCH})
- Ρεύμα του ο.κ. με τις εξόδους σε χαμηλή στάθμη (I_{CCL})
- Οι χαρακτηριστικές μεταγωγής (**switching characteristics**), δείχνουν την ταχύτητα αντίδρασης της εξόδου του ολοκληρωμένου στη μεταβολή της εισόδου, δηλαδή την καθυστέρηση διάδοσης.



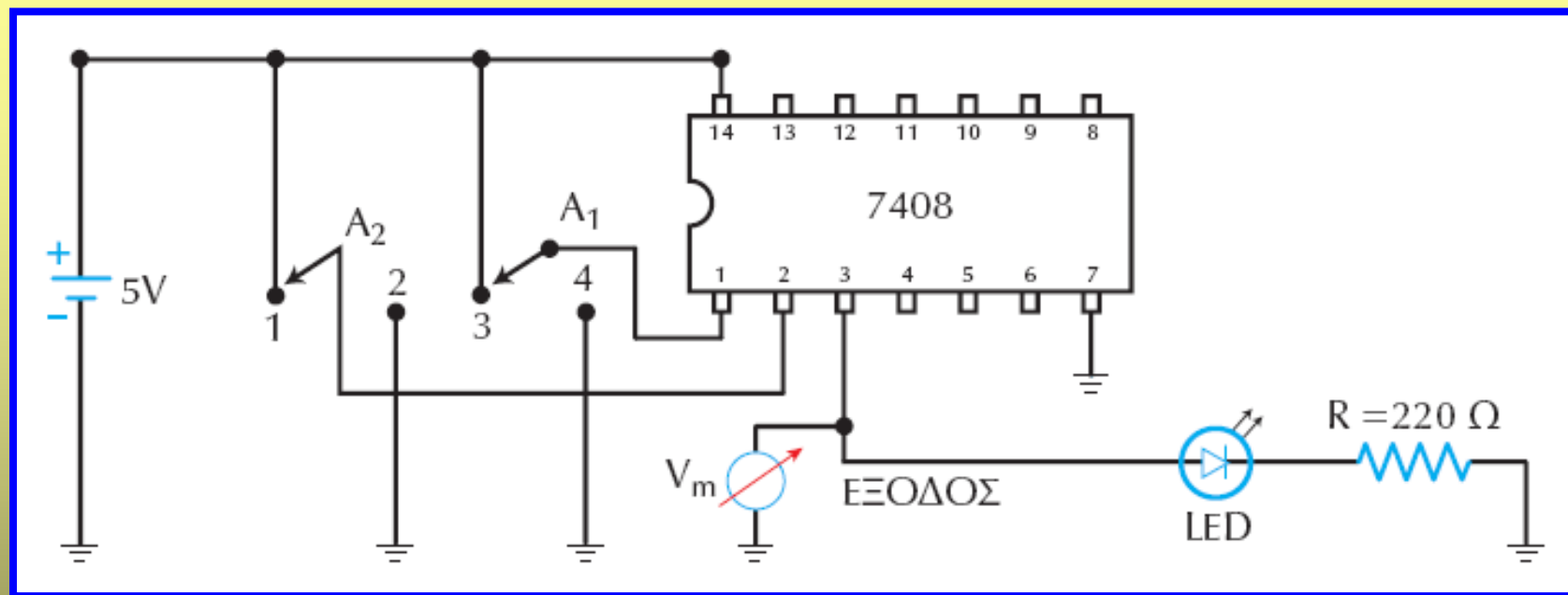
ΕΡΓΑΣΤΗΡΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ ΕΞΑΡΤΗΜΑΤΑ

Διάτρητη πινακίδα (Bread – board)



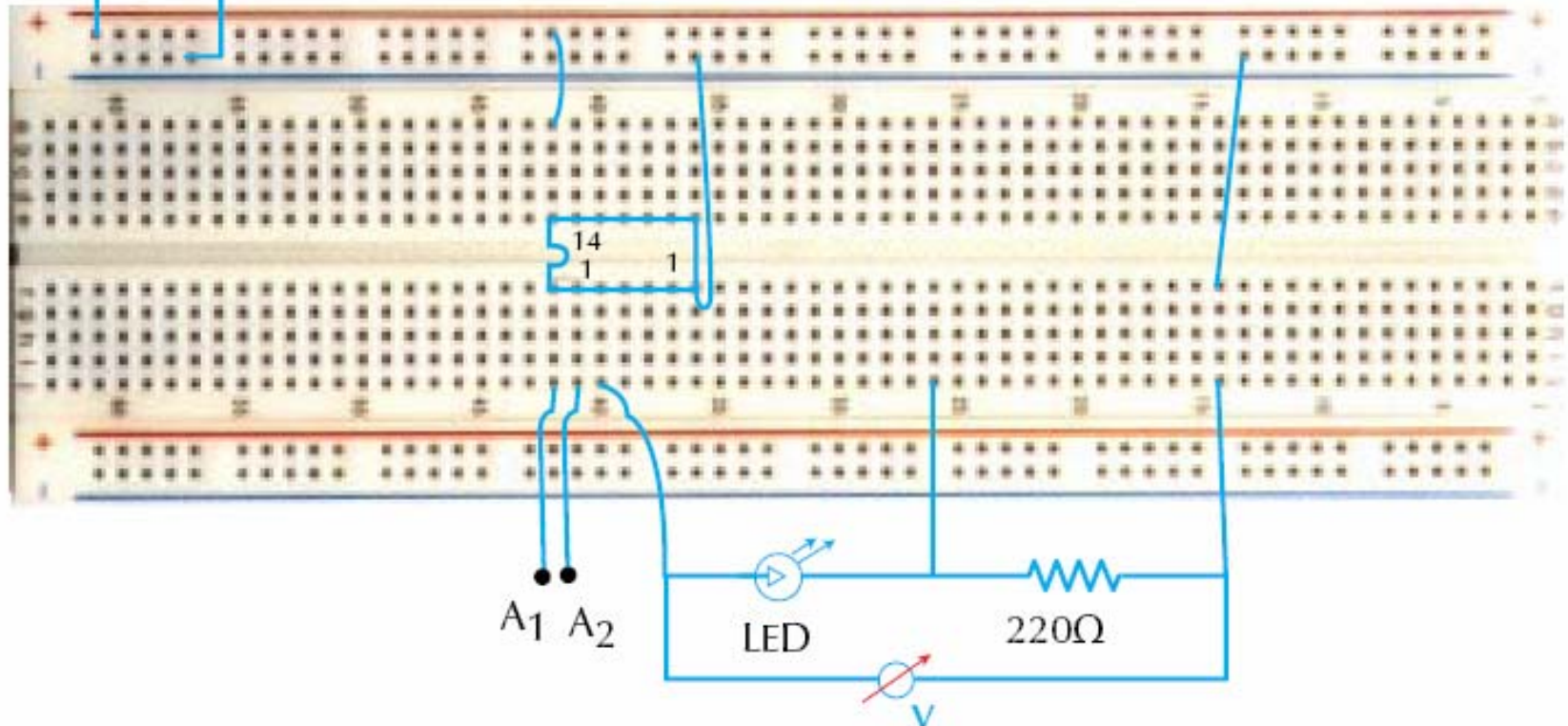
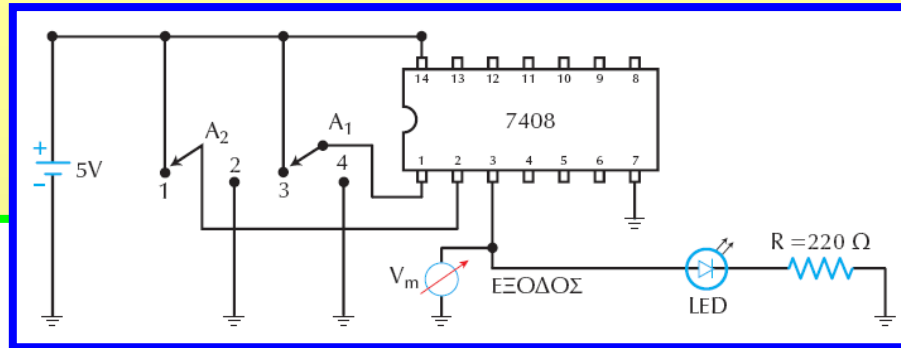
ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

ΘΕΩΡΗΤΙΚΗ ΑΣΚΗΣΗ



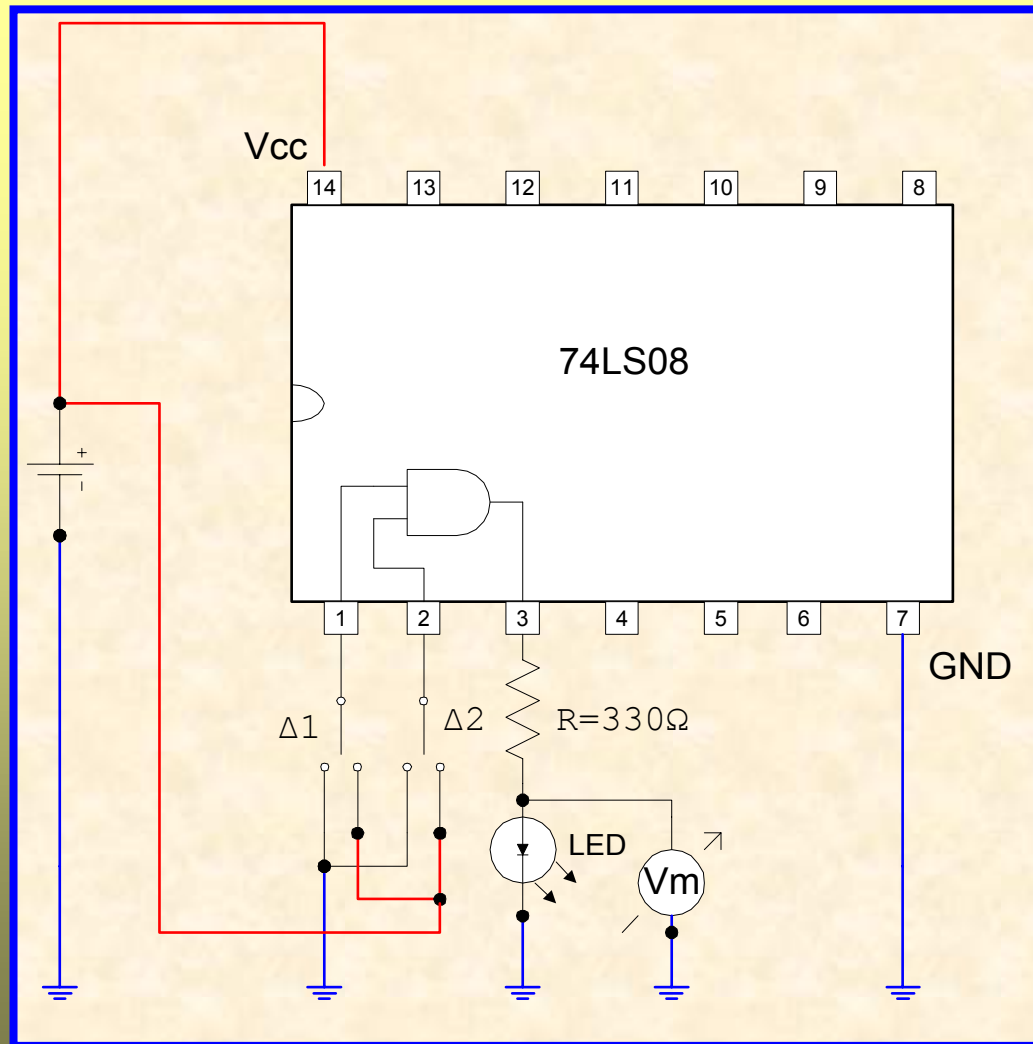
ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ



ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

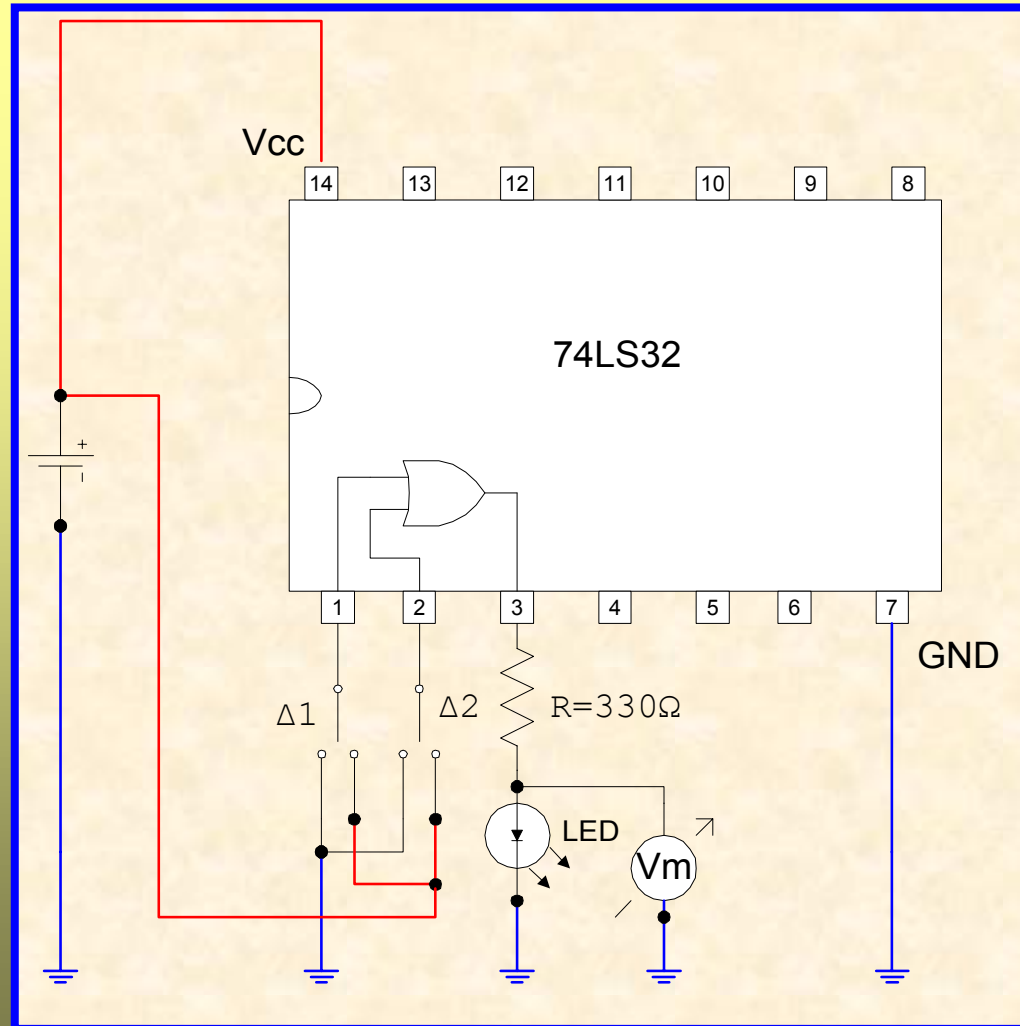
1 ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ AND



Κύκλωμα ενσυρμάτωσης πύλης AND

ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

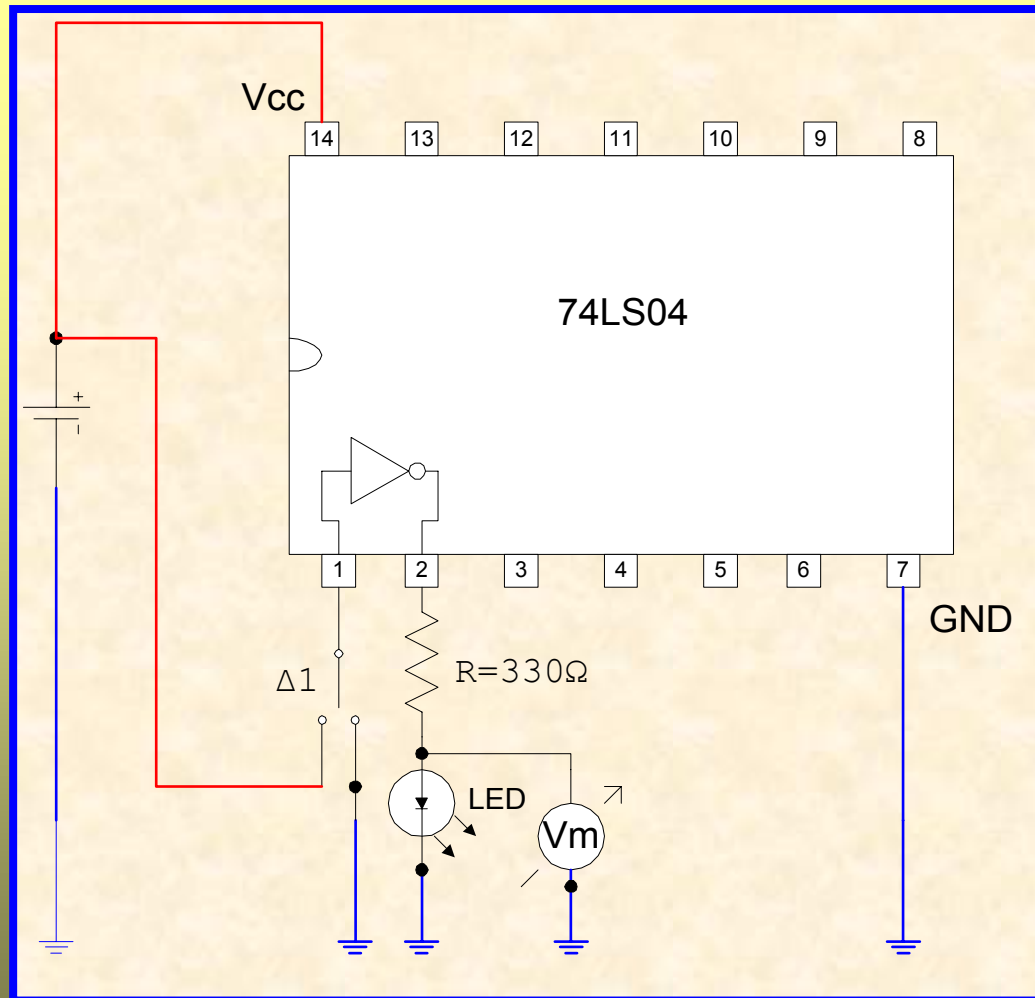
2 ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ OR



Κύκλωμα ενσυστάωσης πύλης OR

ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

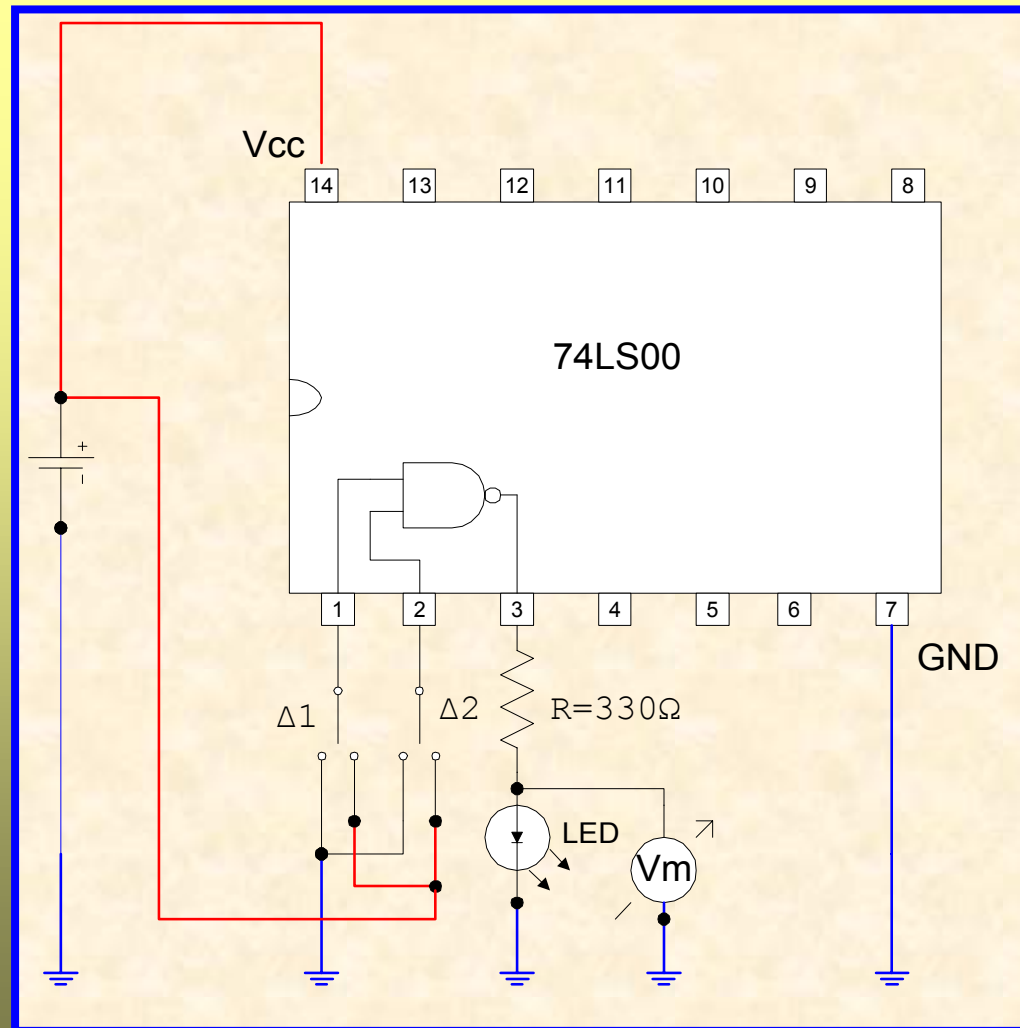
3 ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ NOT



Κύκλωμα ενσυστάσεως πύλης NOT

ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

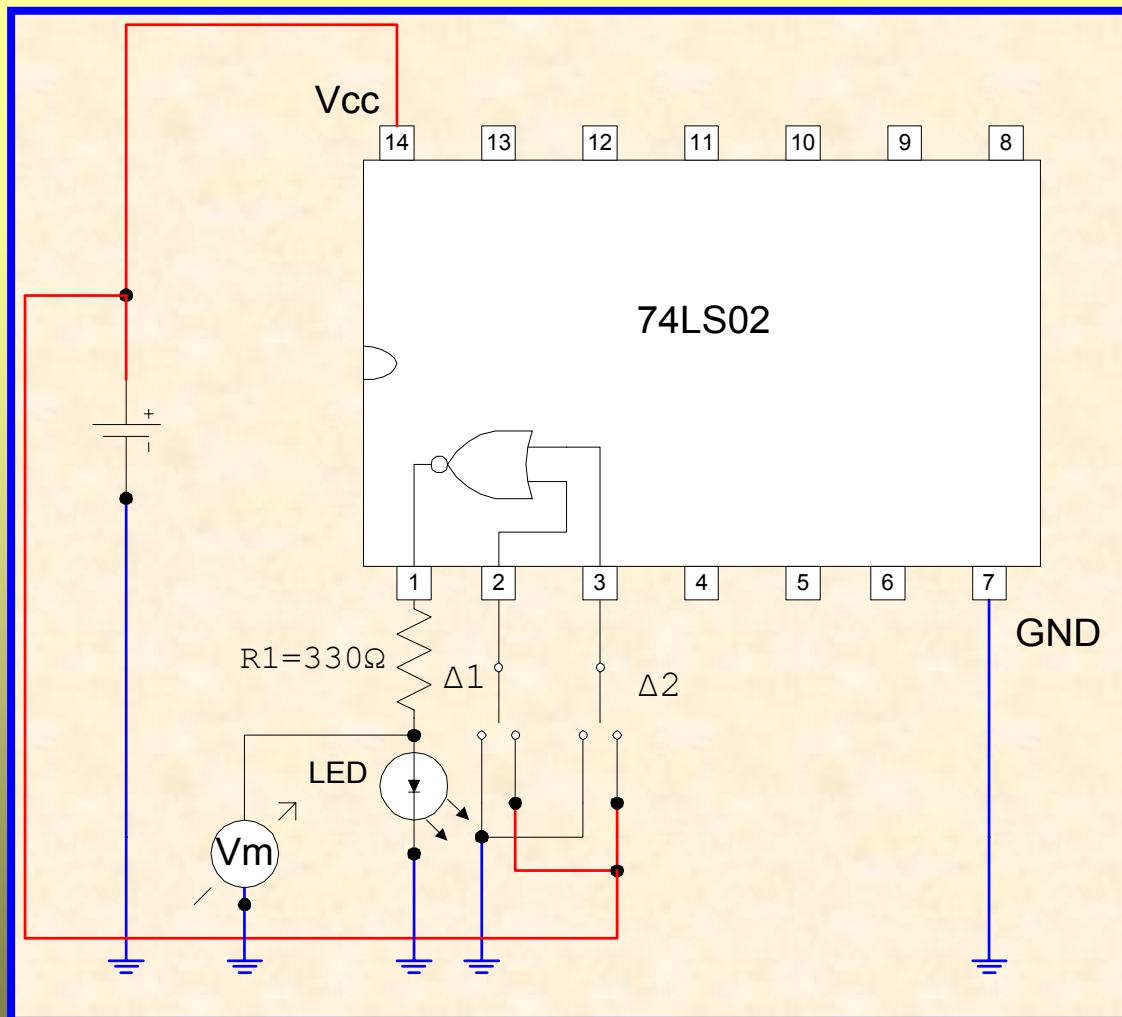
4 ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ NAND



Κύκλωμα ενσυστάωσης πύλης NAND

ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

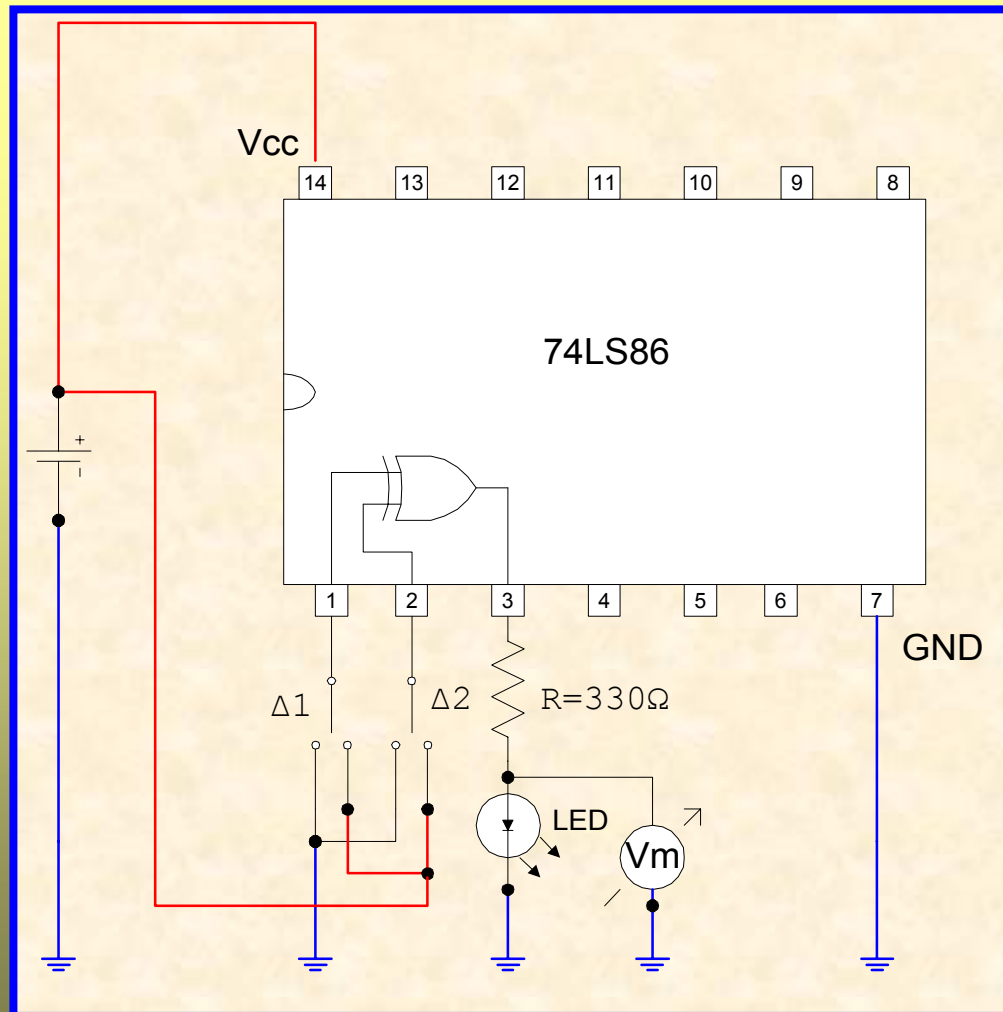
5 ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ NOR



Κύκλωμα ενσυρμάτωσης πύλης NOR

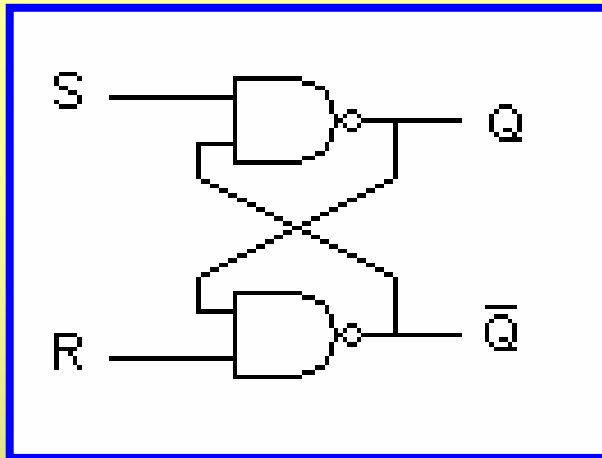
ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ

6 ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ XOR



Κύκλωμα ενσυρμάτωσης πύλης XOR

ΜΑΝΤΑΛΩΤΗΣ (latch) ΜΕ ΠΥΛΕΣ NAND



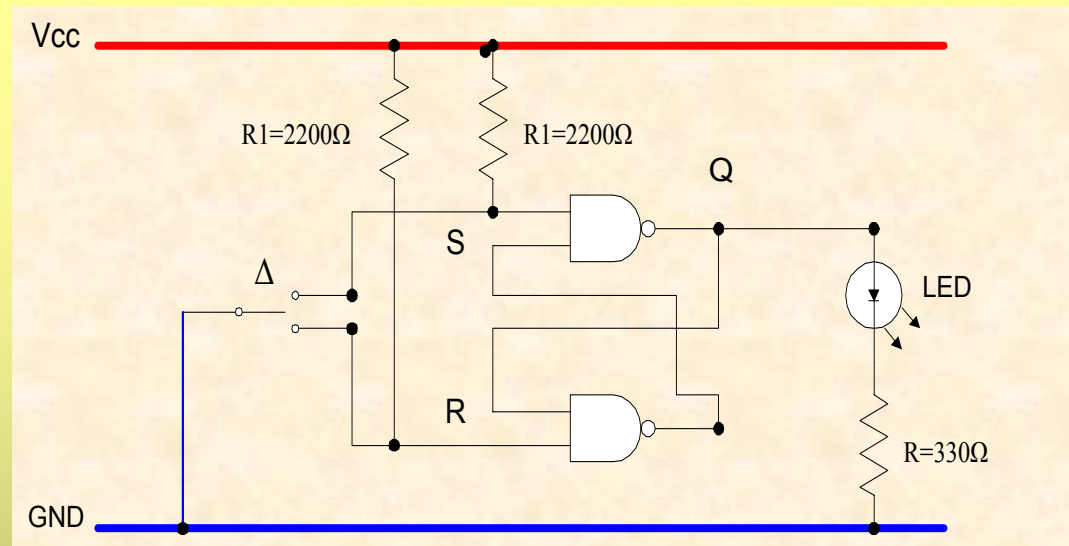
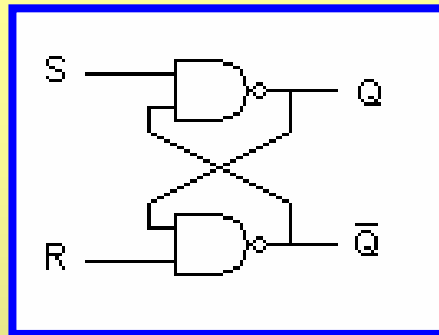
Αυτός ο τύπος Flip-Flop ονομάζεται R - S Flip-Flop άμεσης σύζευξης (direct-coupled R - S Flip-Flop) ή μανταλωτής SR (SR latch).

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

S	R	Q	$\overline{Q}$		
0	0	1	1	Μη χρησιμοποιούμενη	Μη χρησιμοποιούμενη
0	1	1	0	Q=1	Θέση
1	0	0	1	Q=0	Μηδενισμός
1	1	0	1	Μετά από S=1 και R=0	Αμετάβλητη
1	1	1	0	Μετά από S=0 και R=1	Αμετάβλητη

ΜΑΝΤΑΛΩΤΗΣ (latch) ΜΕ ΠΥΛΕΣ NAND

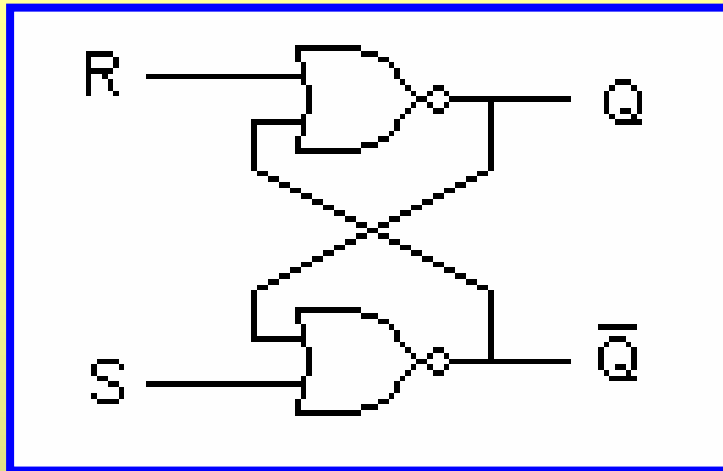
ΕΦΑΡΜΟΓΗ



ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

S	R	Q	$\overline{Q}$		
0	0	1	1	Μη χρησιμοποιούμενη	Μη χρησιμοποιούμενη
0	1	1	0	Q=1	Θέση
1	0	0	1	Q=0	Μηδενισμός
1	1	0	1	Μετά από S=1 και R=0	Αμετάβλητη
1	1	1	0	Μετά από S=0 και R=1	Αμετάβλητη

ΜΑΝΤΑΛΩΤΗΣ (latch) ΜΕ ΠΥΛΕΣ NOR

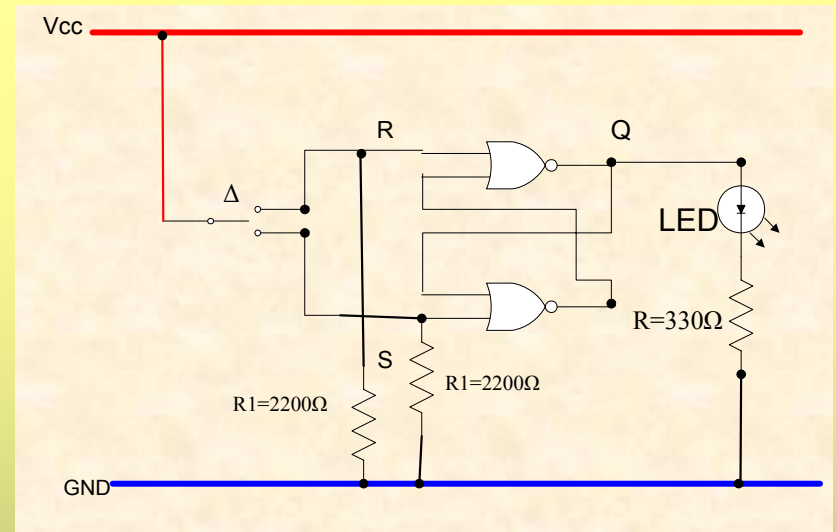
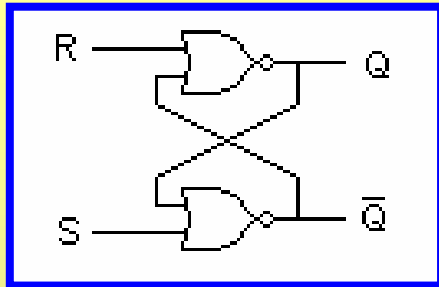


ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

S	R	Q	$\bar{Q}$		
0	0	0	1	Μετά από S=0 και R=1	Αμετάβλητη
0	0	1	0	Μετά από S=1 και R=0	Αμετάβλητη
0	1	0	1	Q=0	Μηδενισμός
1	0	1	0	Q=1	Θέση
1	1	0	0	Μη χρησιμοποιούμενη	Μη χρησιμοποιούμενη

ΜΑΝΤΑΛΩΤΗΣ (latch) ΜΕ ΠΥΛΕΣ NOR

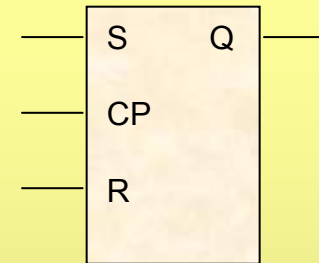
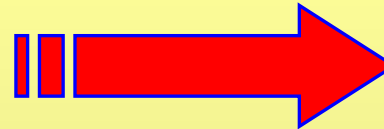
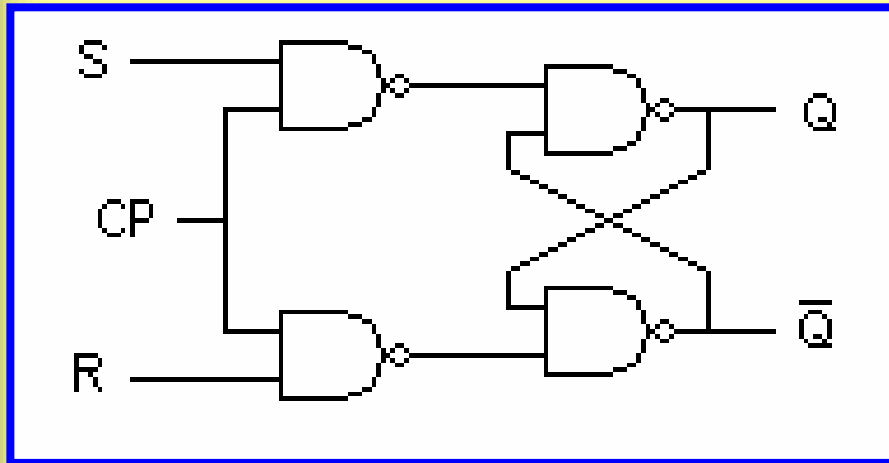
ΕΦΑΡΜΟΓΗ



ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

S	R	Q	$\overline{Q}$		
0	0	0	1	Μετά από S=0 και R=1	Αμετάβλητη
0	0	1	0	Μετά από S=1 και R=0	Αμετάβλητη
0	1	0	1	Q=0	Μηδενισμός
1	0	1	0	Q=1	Θέση
1	1	0	0	Μη χρησιμοποιούμενη	Μη χρησιμοποιούμενη

RS FLIP-FLOP



Q(n)	S	R	Q(n+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	X
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	X

ή

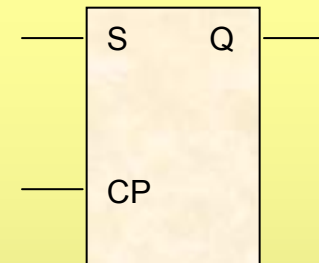
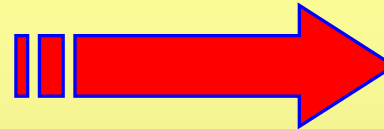
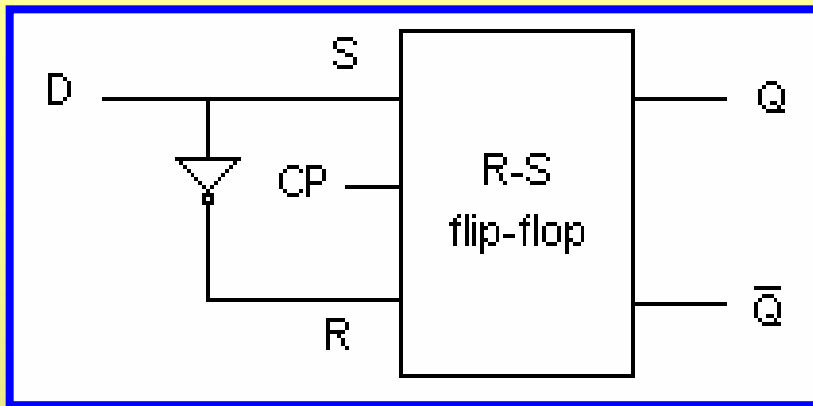
S	R	Q(n+1)
0	0	Qn
0	1	0
1	0	1
1	1	x

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΠΙΝΑΚΑΣ ΔΙΕΓΕΡΣΗΣ

S	R	Q(n)	Q(n+1)
0	x	0	0
1	0	0	1
0	1	1	0
x	0	1	1

D FLIP-FLOP



ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

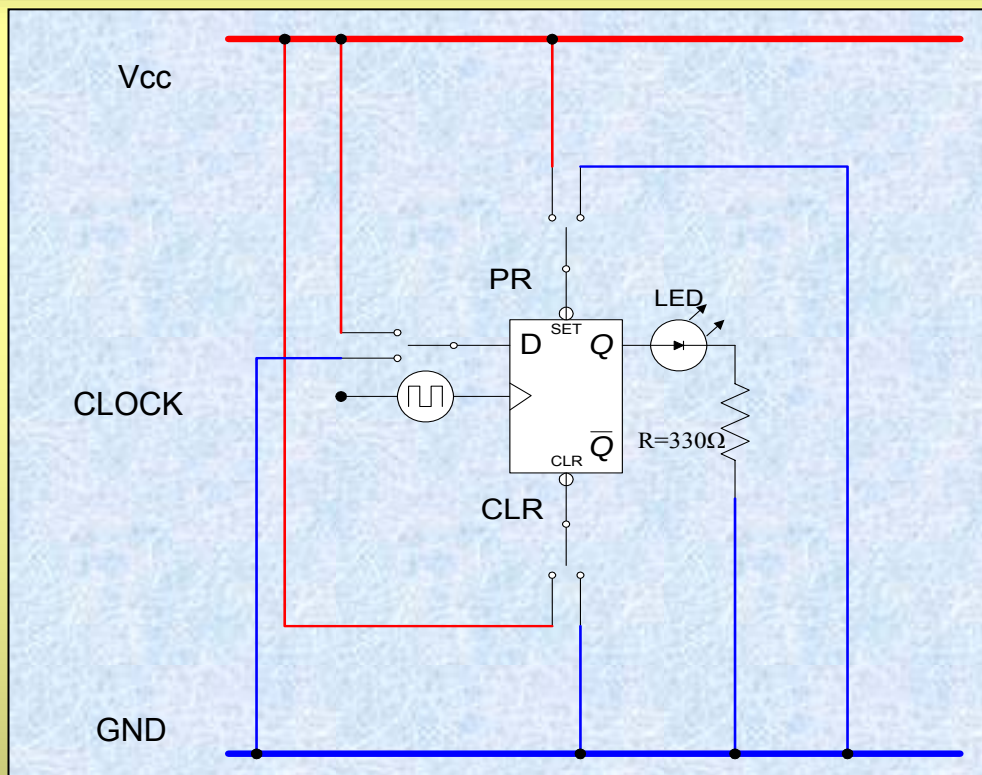
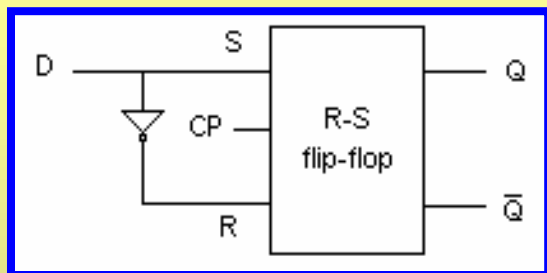
Q(n)	D	Q(n+1)	ή		
0	0	0		D	Q(n+1)
0	1	1		0	0
1	0	0		1	1
1	1	1			

ΠΙΝΑΚΑΣ ΔΙΕΓΕΡΣΗΣ

D	Q(n)	Q(n+1)
0	0	0
1	0	1
0	1	0
1	1	1

D FLIP-FLOP

ΕΦΑΡΜΟΓΗ



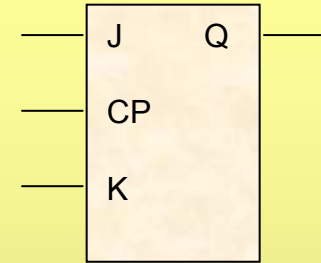
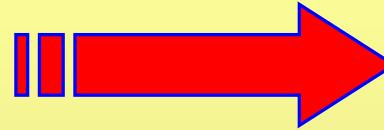
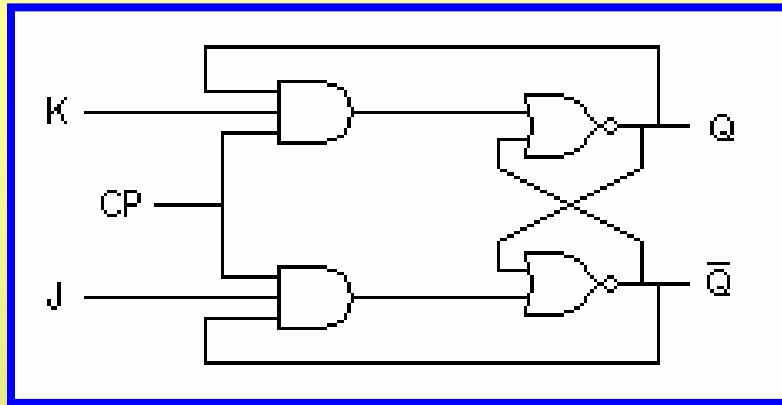
ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

Q(n)	D	Q(n+1)	ή		
0	0	0		D	Q(n+1)
0	1	1		0	0
1	0	0		1	1
1	1	1			

ΠΙΝΑΚΑΣ ΔΙΕΓΕΡΣΗΣ

D	Q(n)	Q(n+1)
0	0	0
1	0	1
0	1	0
1	1	1

J - K FLIP-FLOP



Q(n)	J	K	Q(n+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

ή

J	K	Q(n+1)
0	0	Q _n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

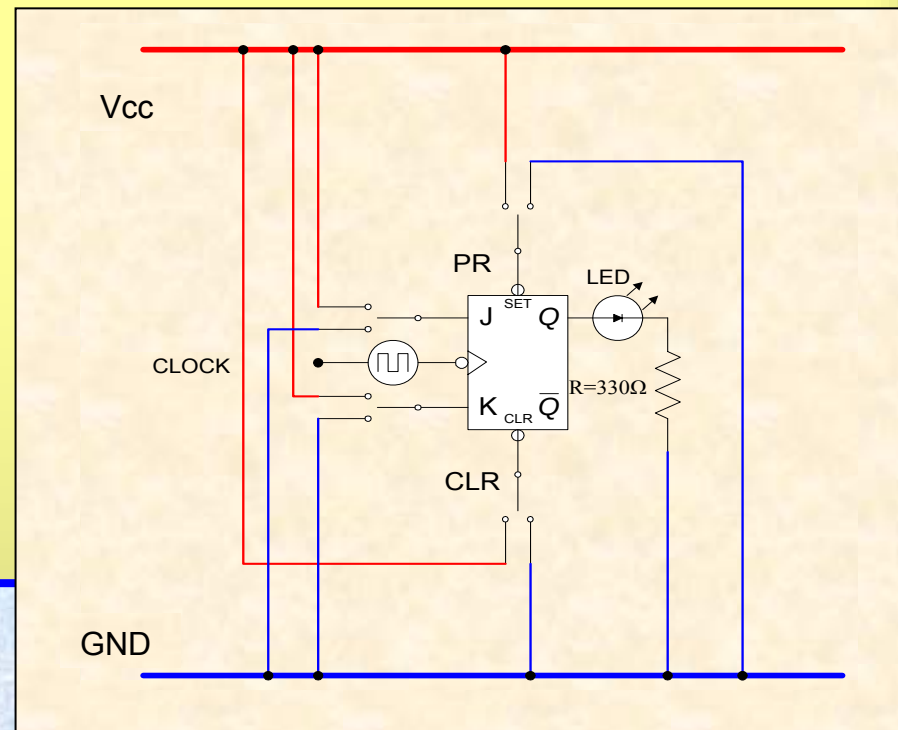
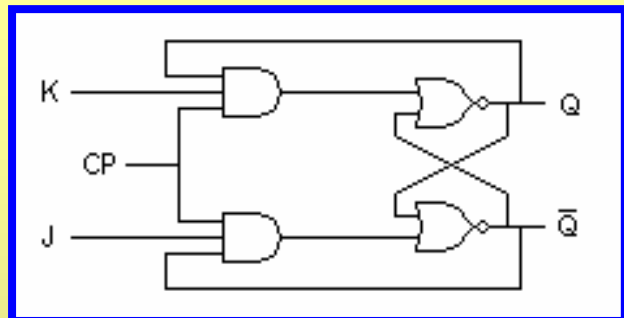
ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΠΙΝΑΚΑΣ ΔΙΕΓΕΡΣΗΣ

J	K	Q(n)	Q(n+1)
0	x	0	0
1	x	0	1
x	1	1	0
x	0	1	1

J - K FLIP-FLOP

ΕΦΑΡΜΟΓΗ



Q(n)	J	K	Q(n+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

ή

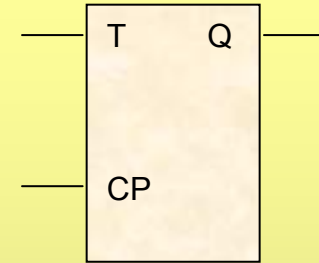
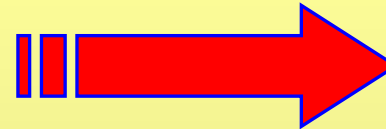
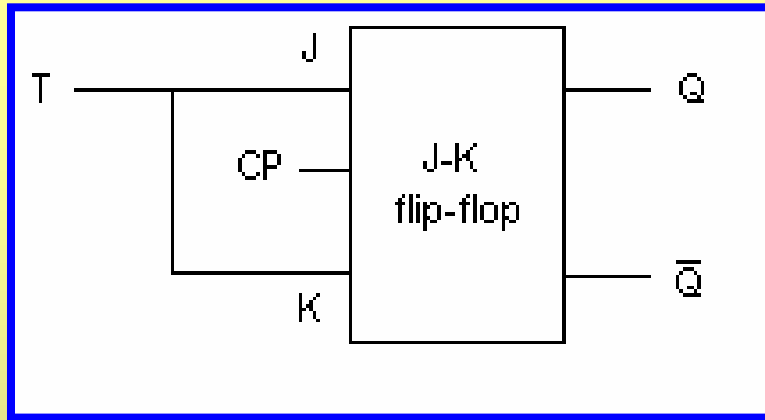
J	K	Q(n+1)
0	0	Q _n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

ΠΙΝΑΚΑΣ ΔΙΕΓΕΡΣΗΣ

J	K	Q(n)	Q(n+1)
0	x	0	0
1	x	0	1
x	1	1	0
x	0	1	1

T FLIP-FLOP



ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

Q(n)	T	Q(n+1)	ή		
0	0	0		T	Q(n+1)
0	1	1		0	Q_n
1	0	1		1	$\overline{Q_n}$
1	1	0			

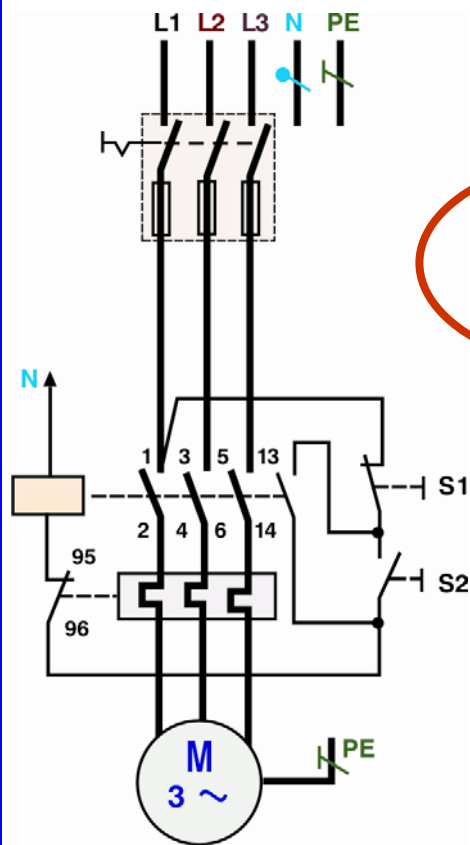
ΠΙΝΑΚΑΣ ΔΙΕΓΕΡΣΗΣ

T	Q(n)	Q(n+1)
0	0	0
1	0	1
1	1	0
0	1	1

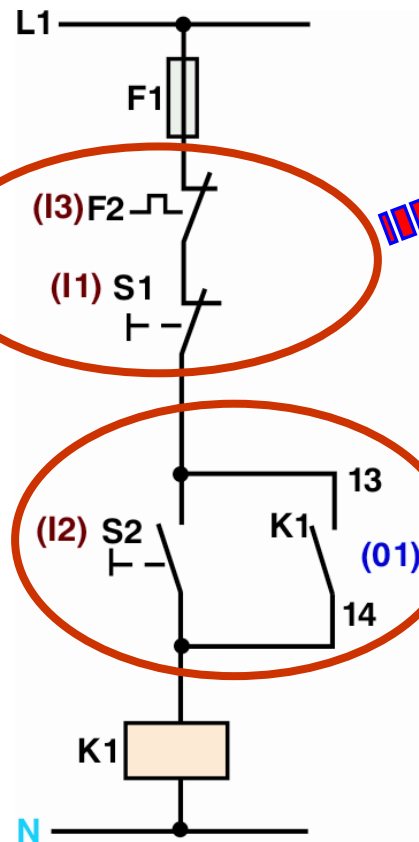
ΗΛΕΚΤΡΟΛΟΓΙΚΟΣ ΑΥΤΟΜΑΤΙΣΜΟΣ

ΕΦΑΡΜΟΓΗ -1-

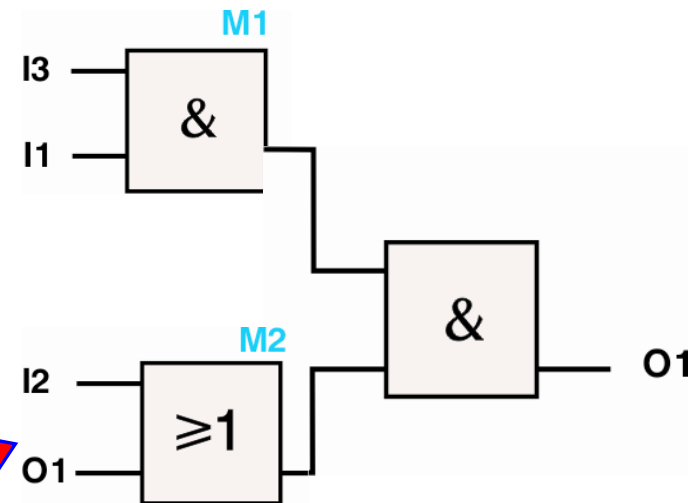
Αυτόματη Απ' ευθείας Εκκίνηση 3Φ ΑΤΚΒΔ



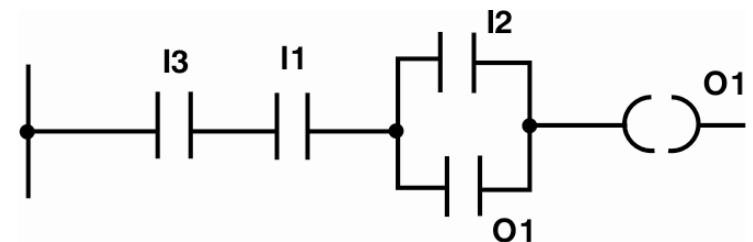
Λειτουργικό
Κύκλωμα



Βοηθητικό
Κύκλωμα



Διάγραμμα πυλών (CSF)



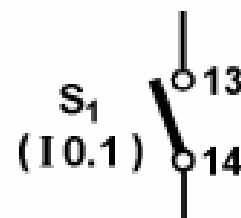
Διάγραμμα Ladder

ΗΛΕΚΤΡΟΛΟΓΙΚΟΣ ΑΥΤΟΜΑΤΙΣΜΟΣ

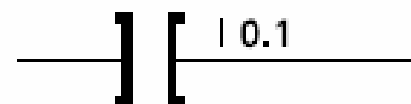
Μετατροπή ηλεκτρικού κυκλώματος σε Ladder

“Κανονικά ανοικτή” επαφή → λογικό “1”

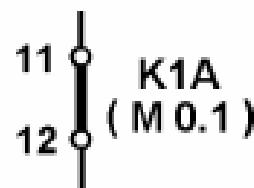
Σύμβολο
ηλεκτρολογικού
σχεδίου



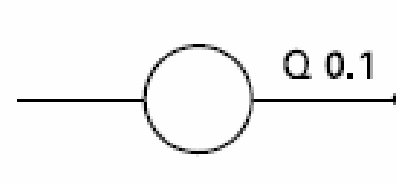
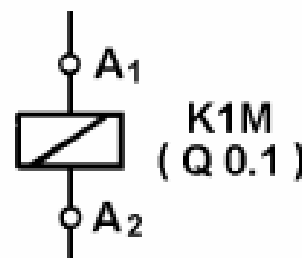
Σύμβολο στη
γλώσσα LADDER



“Κανονικά κλειστή” επαφή ηλεκτρονόμου ισχύος
ή βοηθητικού ηλεκτρονόμου → λογικό “0”



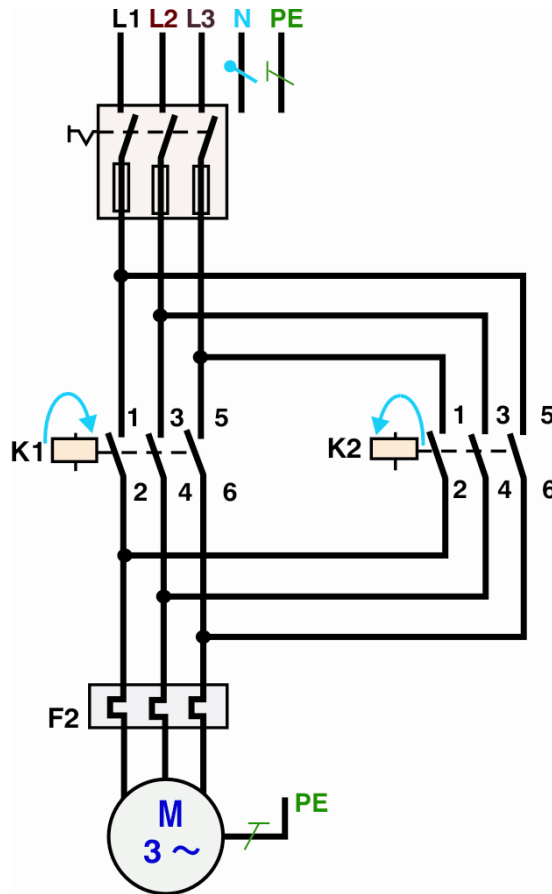
Πηνίο ηλεκτρονόμου ισχύος ή βοηθητικού
ηλεκτρονόμου → έξοδος προγράμματος



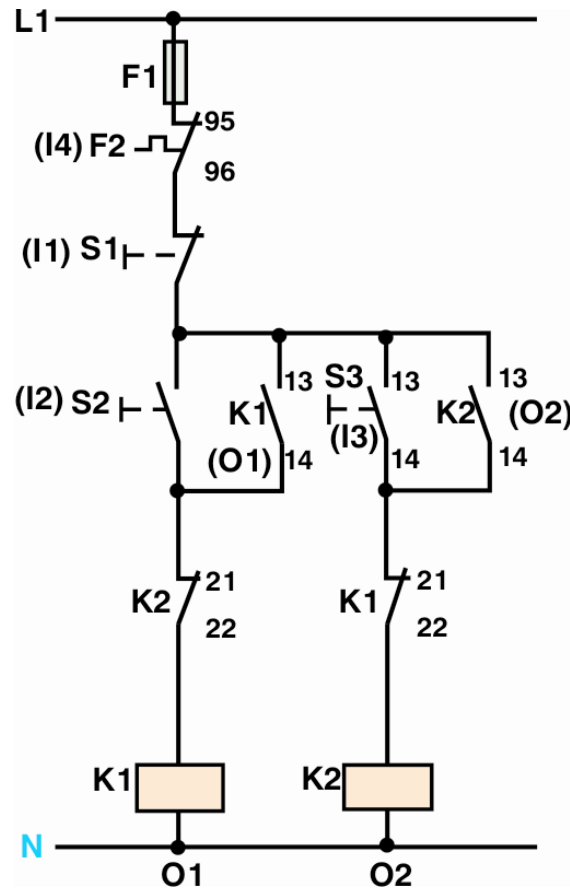
ΗΛΕΚΤΡΟΛΟΓΙΚΟΣ ΑΥΤΟΜΑΤΙΣΜΟΣ

ΕΦΑΡΜΟΓΗ -2-

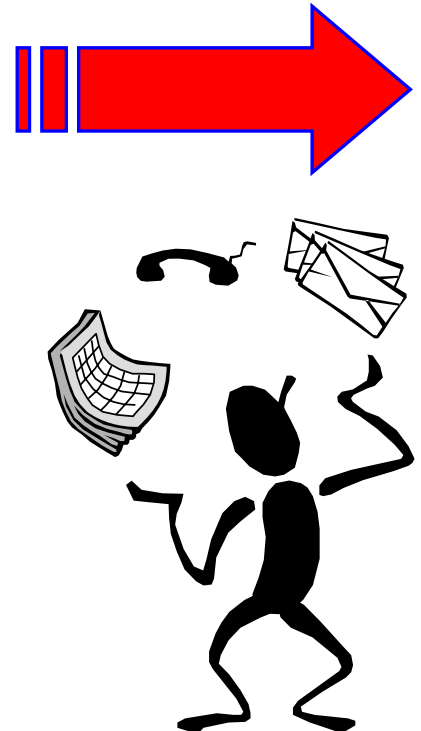
Αυτόματη Απ' ευθείας Εκκίνηση 3Φ ΑΤΚΒΔ με Αλλαγή Φοράς Περιστροφής



Ισχύος Κύκλωμα



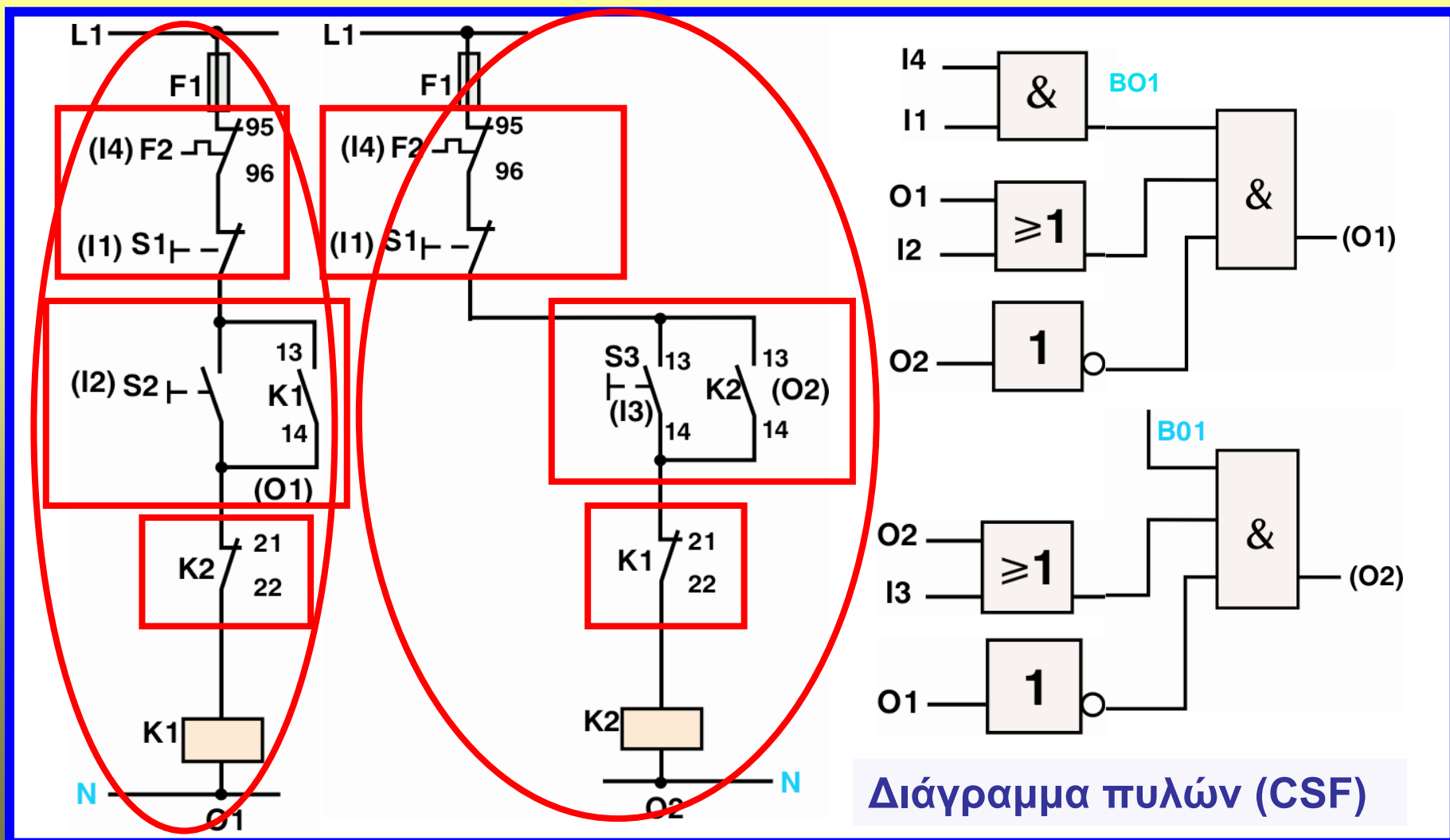
Βοηθητικό Κύκλωμα



ΗΛΕΚΤΡΟΛΟΓΙΚΟΣ ΑΥΤΟΜΑΤΙΣΜΟΣ

ΕΦΑΡΜΟΓΗ -2-

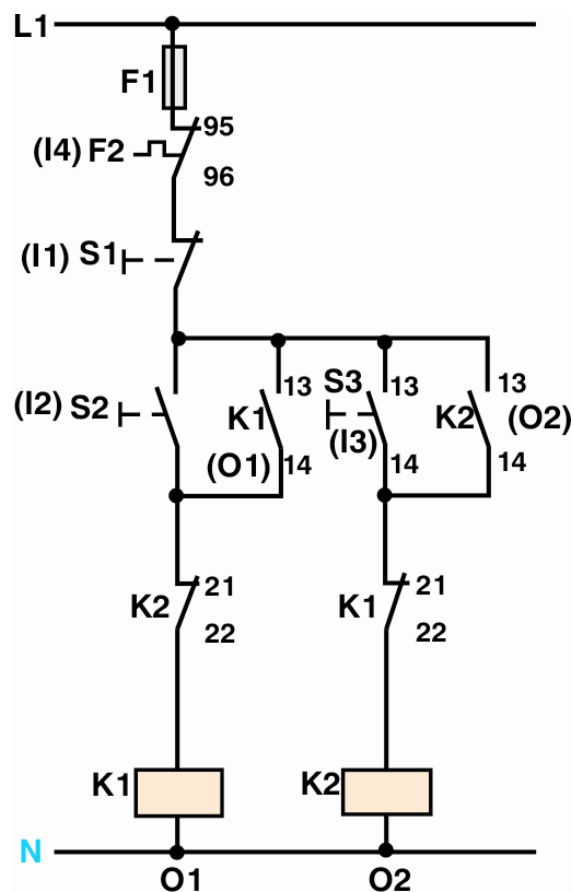
Αυτόματη Απ' ευθείας Εκκίνηση 3Φ ΑΤΚΒΔ με Αλλαγή Φοράς Περιστροφής



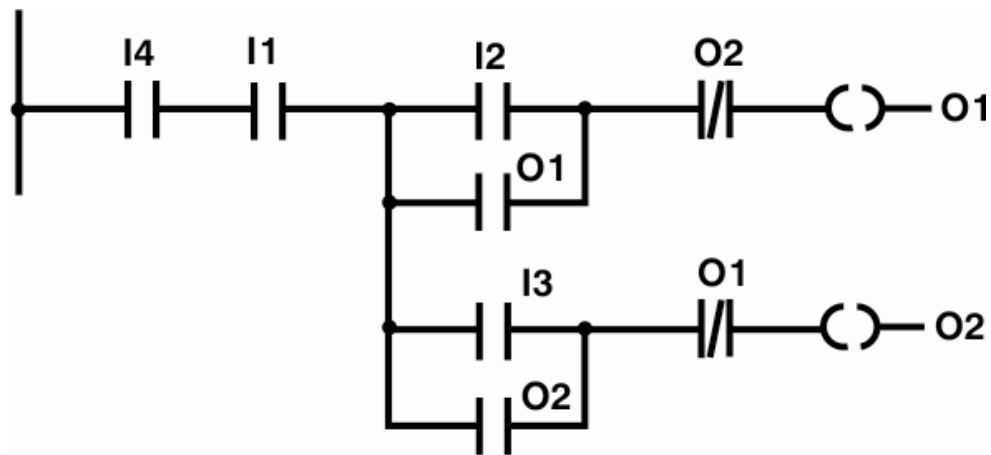
ΗΛΕΚΤΡΟΛΟΓΙΚΟΣ ΑΥΤΟΜΑΤΙΣΜΟΣ

ΕΦΑΡΜΟΓΗ -2-

Αυτόματη Απ' ευθείας Εκκίνηση 3Φ ΑΤΚΒΔ με Αλλαγή Φοράς Περιστροφής



Βοηθητικό Κύκλωμα



Διάγραμμα LADDER

ΣΤΟΙΧΕΙΑ ΕΠΙΚΟΙΝΩΝΙΑΣ

ΚΑΓΙΑΜΠΑΚΗΣ ΕΜΜΑΝΟΥΗΛ του Ιωάννου

ΕΚΠΑΙΔΕΥΤΙΚΟΣ ΤΕΧΝΟΛΟΓΟΣ ΗΛΕΚΤΡΟΛΟΓΟΣ ΜΗΧΑΝΙΚΟΣ
(ΑΣΕΤΕΜ – ΣΕΛΕΤΕ)

Υποδιευθυντής 1^ο ΣΕΚ Ηρακλείου Κρήτης

& Υπεύθυνος Εργαστηρίων Αυτοματισμού – ΣΑΕ & ΕΗΕ

Διεύθυνση κατοικίας : Φιλικής Εταιρείας & Ριζάρη 1

Αγ. Αικατερίνη Τ. Κ. : 71307

Ηράκλειο – Κρήτης

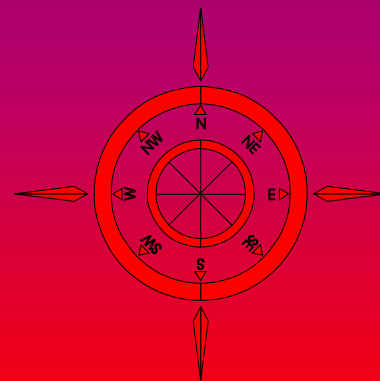
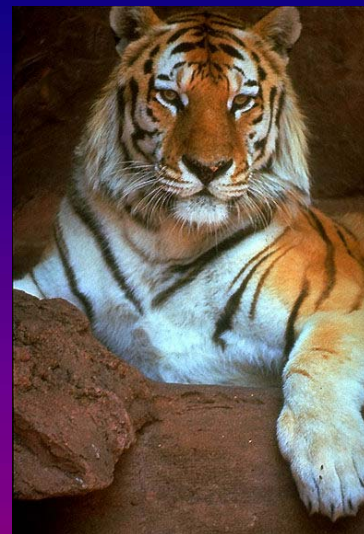
Τηλ. : 2810/326005 (1^ο ΣΕΚ Ηρακλείου Κρήτης)

2810/326005 (Οικίας)

FAX : 2810/321051

<http://www.electricallab.gr/>

E-mail : sek-her@otenet.gr



03995686 © www.visualphotos.com

